

SIMD PROCESSOR

Publication number: JP8030577 (A)

Publication date: 1996-02-02

Inventor(s): INOUE YOSHITSUGU; KAWAI HIROYUKI; ROBAATO SUTORAITENBERUGAA

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- International: G06F9/38; G06F15/16; G06F15/173; G06F15/80; G06F9/38; G06F15/16; G06F15/76; (IPC1-7): G06F15/16; G06F15/80; G06F9/38

- European: G06F15/80A1

Application number: JP19940184333 19940715

Priority number(s): JP19940164333 19940715

Also published as:

DE19524862 (A1)

US5729758 (A)

Abstract of JP 8030577 (A)

PURPOSE: To provide an SIMD processor capable

of executing various processing.

CONSTITUTION: Each of processing elements

PEA0 to PEAn is provided with three local buses

LBO to LB2 and three composite operation buses

MOB0 to MOB2. An arithmetic logic computing

element AL, a multiplier MP, a bit computing

element BM, and an accumulator AU are

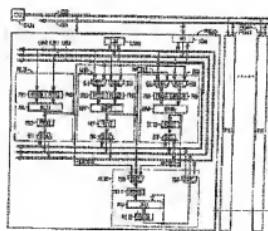
respectively connected to the local buses LB0 to

LB2 and the buses MOB0 to MOB2. Consequently

respective computing elements can efficiently

transfer data through plural buses having different

functions.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-30577

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl⁴

識別記号

庁内整理番号

F I

技術表示箇所

G 06 F 15/80

9/38

3 1 0 J

// G 06 F 15/16

3 9 0 T

審査請求 未請求 請求項の数23 O L (全 27 頁)

(21) 出願番号

特願平6-164333

(22) 出願日

平成6年(1994)7月15日

(71) 出願人

000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者

井上 容嗣

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72) 発明者

河合 浩行

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(74) 代理人

弁理士 深見 久郎 (外3名)

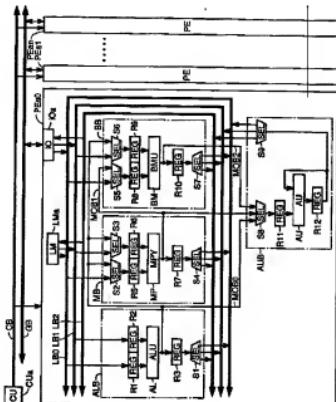
最終頁に続く

(54) 【発明の名稱】 SIMDプロセッサ

(57) 【要約】

【目的】 多様な処理を実行可能な SIMDプロセッサを提供する。

【構成】 各プロセシングエレメントPE a 0～PE a n内に3本のローカルバスL B 0～L B 2および3本の複合演算用バスM O B 0～M O B 2を備える。算術論理演算器A L、乗算器M P、ビット演算器B M、および累算器A UはそれぞれローカルバスL B 0～L B 2および複合演算用バスM O B 0～M O B 2と接続される。この結果、各演算器は機能の異なる複数のバスを用いて効率よくデータを転送することができる。



【特許請求の範囲】

【請求項1】 全体制御手段と、
複数のプロセシングエレメントと、
前記複数のプロセシングエレメントの各々を一次元的に並列に接続するグローバルバスと、
前記全体制御手段と前記複数のプロセシングエレメントの各々とを接続する制御バスとを含み、
前記複数のプロセシングエレメントの各々は、
ローカルメモリと、
複数の演算手段と、
データ入出力手段と、
前記ローカルメモリ、前記複数の演算手段、および前記データ入出力手段とに接続され、データを伝送するためのローカルバスと、
前記複数の演算手段の各々と接続され、複合演算を行なうためのデータを伝送するための複合演算用バスとを含み、
前記全体制御手段は、
同一演算を行なうように前記複数のプロセシングエレメントの各々の動作を制御するS1MDプロセッサ。
【請求項2】 前記ローカルバスは、3本のローカルバスを含み、
前記3本のローカルバスは、
前記複数の演算手段へデータを入力するための2本のデータ入力用ローカルバスと、
前記複数の演算手段からデータを出力するための1本のデータ出力用ローカルバスとを含む請求項1記載のS1MDプロセッサ。
【請求項3】 前記複数の演算手段は、
算術論理演算器と、
乗算器と、
ビット演算器と、
累算器とを含み、
前記複合演算用バスは、
前記算術論理演算器の出力データを前記乗算器、前記ビット演算器、および前記累算器へ出力するための第1複合演算用バスと、
前記乗算器の出力データを前記ビット演算器、および前記累算器へ出力するための第2複合演算用バスと、
前記ビット演算器の出力データを前記累算器へ出力するための第3複合演算用バスとを含む請求項2記載のS1MDプロセッサ。
【請求項4】 全体制御手段と、
各々がローカルメモリを含む複数のプロセシングエレメントと、
前記複数のプロセシングエレメントの各々を一次元的に並列に接続するグローバルバスと、
前記全体制御手段と前記複数のプロセシングエレメントの各々とを接続する制御バスとを含み、
前記グローバルバスと

前記全体制御手段の出力データを前記複数のプロセシングエレメントの各々へ伝送するための第1グローバルバスと

前記複数のプロセシングエレメントの各々の出力データを前記複数のプロセシングエレメントの各々へ出力するための第2グローバルバスと、前記複数のプロセシングエレメントのうち1つのプロセシングエレメントの前記ローカルメモリのデータを他のプロセシングエレメントへ出力するための第3グローバルバスとを含むIMDプロトコル。

【請求項5】前記複数のプロセシングエレメントの各々は、さらに、複数の演算手段と、データ入出力手段と、前記ローカルバスより、前記複数の演算手段、および前記データ入出力手段とに接続され、データを伝送するためのローカルバスを含み、

前記ローカルメモリは、
前記データ入出力手段を介して前記第3グローバルバス
と接続される請求項4記載の SIMD プロセッサ。

【請求項6】 並列に備えられた8つのプロセシングエレメントと、

前記8つのプロセシングエレメント間を論理的に等間隔で接続する8本のグローバルバスを含み、前記8つのプロセシングエレメントの各々は、前記8本のグローバルバスのうち所定の4本のグローバルバスからデータが入力され、残りの4本のグローバルバスのうち所定の2本のグローバルバスへデータを出力するS-MDプロセッサ。

【詣求項7】 前記8本のグローバルバスは、第1ないし第8グローバルバスを含み、
前記8つのプロセシングエレメントは、第1ないし第8プロセシングエレメントを含み、
前記第1ないし第8プロセシングエレメントの各々は、
第1および第2出力ポートおよび第1ないし第4入力ポートを含み

前記第1プロセシングエレメントは、
前記第1および第2出力ポートから前記第1および第5
グローバルバスへそれぞれデータを出力し、かつ、前記
第1ないし第4グローバルバスから前記第1ないし第4
入力ポートへそれぞれデータを入力され、
前記第2プロセシングエレメントは、

前記第1および第2出力ポートから前記第2および第6グローバルバスへそれぞれデータを出し、かつ、前記第2ないし第4、第1グローバルバスから前記第1ないし第4入力ポートへそれぞれデータを入力され、

前記第3アロセシングエレメントは、
前記第1および第2出力ポートから前記第3および第7
グローバルバスへそれぞれデータを出し、かつ、前記
第3、第4、第1、第2グローバルバスから前記第1を

いし第4入力ポートへそれぞれデータを入力され、
前記第4プロセシングエレメントは、
前記第1および第2出力ポートから前記第4および第8
グローバルバスへそれぞれデータを出力し、かつ、前記
第4、第1ないし第3グローバルバスから前記第1ないし
第4入力ポートへそれぞれデータを入力され、
前記第5プロセシングエレメントは、
前記第1および第2出力ポートから前記第5および第1
グローバルバスへそれぞれデータを出力し、かつ、前記
第5ないし第8グローバルバスから前記第1ないし第4
入力ポートへそれぞれデータを入力され、
前記第6プロセシングエレメントは、
前記第1および第2出力ポートから第6および第2グロ
ーバルバスへそれぞれデータを出力し、かつ、前記第6
ないし第8、第5グローバルバスから前記第1ないし第4
入力ポートへそれぞれデータを入力され、
前記第7プロセシングエレメントは、
前記第1および第2出力ポートから前記第7および第3
グローバルバスへそれぞれデータを出力し、かつ、前記
第7、第8、第5、第6グローバルバスから前記第1ないし
第4出力ポートへそれぞれデータを入力され、
前記第8プロセシングエレメントは、
前記第1および第2出力ポートから前記第8および第4
グローバルバスへそれぞれデータを出力し、かつ、前記
第8、第5ないし第7グローバルバスから前記第1ないし
第4入力ポートへそれぞれデータを入力される請求項
6記載のS IMDプロセッサ。
【請求項8】 複数のプロセシングエレメントを含むS
IMDプロセッサであって、
前記複数のプロセシングエレメントの各々は、
ローカルメモリと、
隣接する1つの前記プロセシングエレメントの前記ロー
カルメモリの出力データを選択的に自身のローカルメモ
リへ入力するための入力手段とを含み、
前記ローカルメモリは、直列に接続されるS IMDプロ
セッサ。
【請求項9】 前記入力手段は、
外部から入力されるデータ、隣接する1つの前記プロセ
シングエレメントのローカルメモリの出力データ、およ
び自身の前記ローカルメモリの出力データのうち一方の
データを選択的に入力する選択入力手段を含む請求項8
記載のS IMDプロセッサ。
【請求項10】 複数のプロセシングエレメントを含む
S IMDプロセッサであって、
前記複数のプロセシングエレメントの各々は、
ローカルメモリを含み、
前記ローカルメモリは、
各々が独立に制御可能な3つのバンクメモリを含むS I
MDプロセッサ。
【請求項11】 前記S IMDプロセッサは、さらに、
全体制御手段を含み、
前記複数のプロセシングエレメントの各々は、さらに、
複数の演算手段を含み、
前記ローカルメモリは、さらに、
前記演算手段の演算結果を格納するためのレジスタと、
前記全体制御手段から出力されるアドレスと前記レジス
タに格納された前記演算結果のうち一方を選択的に前記
バンクメモリのアドレスとして出力する選択手段とを含
む請求項10記載のS IMDプロセッサ。
【請求項12】 全体制御手段と、
複数のプロセシングエレメントと、
前記複数のプロセシングエレメントの各々を一次元的に
並列に接続するグローバルバスと、
前記全体制御手段と前記複数のプロセシングエレメント
の各々とを接続する制御バスとを含み、
前記複数のプロセシングエレメントは、
各々が制御信号に応じて動作する複数の演算手段と、
前記全体制御手段から前記制御バスを介して伝送される
オペレーションコードをデコードし、前記複数の演算手
段に対応した複数の前記制御信号およびバイブ延信号を
を出力するデコード手段と、
前記複数の制御信号ごとに分けられ、前記複数の制御信
号のうち対応する制御信号を受け、前記複数のバイブ延
信号のうち対応する延信号に応答して、所定のタイミ
ングで前記制御信号を出力する複数のバイブラインレ
ジスタ手段とを含むS IMDプロセッサ。
【請求項13】 前記複数の演算手段は、
算術論理演算器と、
乗算器と、
ビット演算器と、
累算器とを含み、
前記複数のバイブラインレジスタ手段は、
前記デコード手段から出力される前記算術論理演算器用
の前記制御信号を格納する1段の第1レジスタと、
前記デコード手段から出力される前記乗算器用の前記制
御信号を格納し、前記乗算器用の前記バイブ延信号に
応答して所定のタイミングで前記乗算器用の制御信号を
を出力する2段の第2レジスタと、
前記デコード手段から出力される前記ビット演算器用の
前記制御信号を格納し、前記ビット演算器用の前記バイ
ブ延信号に応答して所定のタイミングで前記ビット演
算器用の制御信号を出力する3段の第3レジスタと、
前記デコード手段から出力される前記累算器用の前記制
御信号を格納し、前記累算器用の前記バイブ延信号に
応答して所定のタイミングで前記累算器用の制御信号を
を出力する4段の第4レジスタとを含む請求項12記載の
S IMDプロセッサ。
【請求項14】 全体制御手段と、
複数のプロセシングエレメントと、
前記複数のプロセシングエレメントとを一次元的に並列

に接続するグローバルバスと、

前記全体制御手段と前記複数のプロセシングエレメントの各々とを接続する制御バスとを含み、

前記複数のプロセシングエレメントの各々は、各々が制御信号に応じて動作する複数の演算手段と、前記複数の演算手段の各々が送出する演算結果に対応するフラグと、前記全体制御手段から前記制御バスを介して送出される条件判定コードとを比較する比較手段と、前記比較手段の比較結果に応じて、前記全体制御手段から前記制御信号を介して前記複数の演算手段ごとに送出される前記制御信号にマスクをかけ、前記制御信号を出力するマスク手段とを含むS IMDプロセッサ。

【請求項15】 前記比較手段は、

前記複数のフラグのうち所定のフラグを選択するセレクタと、前記セレクタの出力と前記条件判定コードとを比較し、所定の比較結果を出力する比較判定器とを含み、

前記マスク手段は、

前記比較判定器が送出する前記比較結果を格納するレジスタと、

前記制御信号ごとに設けられ、前記レジスタの出力と前記制御信号の各々との論理積を前記複数の演算手段のうち対応する演算手段へ送出する複数のAND回路とを含む請求項1-4記載のS IMDプロセッサ。

【請求項16】 全体制御手段と、

各々が制御信号に応じて動作する複数の演算手段を含む複数のプロセシングエレメントと、前記複数のプロセシングエレメントの各々とを一次元的に並列に接続するグローバルバスと、前記全体制御手段と前記複数のプロセシングエレメントの各々とを接続する制御バスとを含み、

前記全体制御手段は、

前記複数の演算手段ごとに対応した前記制御信号をパイプ遷移させるパイプライン手段を含み、

前記パイプライン手段は、

前記制御バスを介して前記複数のプロセシングエレメントの各々に、パイプ挿入に必要な複数のパイプ遷移とパイプ遷移した前記制御信号を出力し、

前記複数のプロセシングエレメントの各々は、さらに、前記複数の演算手段の各々が送出する演算結果に対応するフラグと、前記全体制御手段から前記制御バスを介して送出される条件判定コードとを比較する比較手段と、前記複数のパイプ遷移および前記比較手段の比較結果に応じて、前記パイプライン手段から出力される前記制御信号にマスクをかけ、前記制御信号を対応する前記複数の演算手段に送出するマスク手段とを含むS IMDプロセッサ。

【請求項17】 前記比較手段は、

前記複数のフラグのうち所定のフラグを選択するセレクタと、

前記セレクタの出力と前記条件判定コードとを比較し、所定の比較結果を出力する比較判定器とを含み、

前記マスク手段は、

前記比較判定器が送出する前記比較結果を格納するレジスタと、

前記複数のパイプ遷移に応じて、前記比較手段の前記比較結果を出力する比較判定器と、

前記制御信号ごとに設けられ、前記比較結果出力手段から出力される前記比較結果と前記全体制御手段から出力される前記制御信号の各々との論理積を前記複数の演算手段のうち対応する演算手段へ送出する複数のAND回路とを含む請求項1-6記載のS IMDプロセッサ。

【請求項18】 複数のプロセシングエレメントと、

リンク処理手段と、前記複数のプロセシングエレメントの各々とリンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、

前記リンク処理手段は、

少なくとも、加算、および最大値／最小値演算が可能な算術論理演算器と、

データを記憶するローカルメモリとを含むS IMDプロセッサ。

【請求項19】 前記リンク処理手段は、さらに、前記グローバルバスにより伝送されるデータの入出力を行なうインターフェース手段と、

前記インターフェース手段の出力および前記ローカルメモリの出力のうち一方を選択的に前記算術論理演算器へ出力する第1セレクタと、

前記算術論理演算器の出力を格納するレジスタと、

前記レジスタの出力および前記ローカルメモリの出力のうち一方を選択的に前記算術論理演算器へ出力する第2セレクタとを含み、

前記ローカルメモリは、

前記算術論理演算器の出力を記憶する請求項1-8記載のS IMDプロセッサ。

【請求項20】 8つのプロセシングエレメントと、

リンク処理手段と、前記8つのプロセシングエレメントの各々と前記リンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、

前記リンク処理手段は、

前記8つのプロセシングエレメントの各々の出力データを上位データと下位データとに分割して前記上位データおよび下位データのうち一方を選択的に出力する8つの分割手段とを含み、

前記リンク処理手段は、

前記8つの分割手段のうち2つの出力データを組合せで4つの出力データを出力するS IMDプロセッサ。

【請求項21】 前記リンク処理手段は、さらに、少なくとも、加算、および最大値／最小値演算が可能な

算術論理演算器と、

データを記憶するローカルメモリとを含む請求項20記載のS IMDプロセッサ。

【請求項22】複数のプロセシングエレメントと、

リンク処理手段と、

前記複数のプロセシングエレメントの各々と前記リンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、

前記リンク処理手段は、

前記複数のプロセシングエレメントから前記グローバルバスを介して入力される複数のデータに対してソーティングを行なうためのソーティング手段と、

前記ソーティング手段によりソーティングされる前記複数のデータの各々に対して所定のコードを割付けるコード割付手段とを含むS IMDプロセッサ。

【請求項23】前記コード割付手段は、

前記ソーティング手段によるデータの移動および格納と同様に前記コードを移動および格納させる請求項22記載のS IMDプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の並列プロセシングエレメントが同期して動作し、單一のプログラムカウントで指示される單一の命令によって制御されるS IMD(單一命令ストリーム・複数データストリーム)プロセッサに関し、特に、画像処理用に適したS IMDプロセッサに関するものである。

【0002】

【従来の技術】以下、従来の画像処理用S IMDプロセッサについて図面を参考しながら説明する。図2は、従来のS IMDプロセッサの構成を示すブロック図である。

【0003】図2を参照して、S IMDプロセッサは、プログラム上に全体の制御を行なうコントロールユニット100、荷重係数やテンプレートデータを格納するメモリユニット101、画像データ転送を行なうソフトレジスタ121a～121cを含むデータユニット102、算術論理演算器(ALU)132および乗算器(MPY)133を含むプロセシングエレメント(P.E.)131a～131dが複数個並列に配置されたプロセッサユニット103、算術論理演算器141、142を含むリンクエージュニット104、比較器によって構成されるエバリュエーションユニット105を含む。

【0004】プロセッサユニット103内の複数個のプロセシングエレメント131a～131dの各々は、データユニット102またはメモリユニット101から並列に転送される異なるデータに対して、コントロールユニット100からの制御信号に応じて同一の処理を実行する。各プロセシングエレメント131a～131dの演算結果は、リンクエージュニット104に転送され、ブ

ロセシングエレメント131a～131d間での統合処理が行なわれる。たとえば、画像のフィルタリング処理を行なう場合、局所ウィンドウの各水平方向の画素と荷重係数の乗算を並列に各プロセシングエレメント131a～131dで行ない、その結果がリンクエージュニット104で加算される。

【0005】画像処理としては、上記のフィルタリング処理だけなく、画像間の演算、画像の面積あるいは中心等の計測、パターンマッチング等のように他に多くの処理がある。上記の各処理はほとんどが大量のデータに対する單一演算の処理で実行可能な処理である。したがって、S IMDプロセッサを用いてプログラムを変更することにより種々のアルゴリズムを実行することがハードウェアの節約の観点からも有効な手法である。

【0006】

【発明が解決しようとする課題】しかしながら、従来のS IMDプロセッサでは、上記のように構成されているため、フィルタリング処理は実行できるが、プロセシングエレメントの機能が乏しいため、積和演算やビット演算等の画像処理特有の演算を処理することができなかつたり、また、長大な処理ステップ数を必要としていた。また、プロセシングエレメント間での演算結果がリンクエージュニットを通してのみ統合され、その統合結果をプロセシングエレメントに反映することができないため、統合結果を用いた処理ができないという問題点もあった。上記のように、従来のS IMDプロセッサでは、プログラム自体であっても、その処理速度が遅く、十分な機能を持たず、画像処理分野の一部の処理に対してのみ有効であり、その応用範囲が非常に狭いという問題点があつた。

【0007】本発明は上記課題を解決するためのものであって、多様な処理を実行することができ、適用範囲が広いS IMDプロセッサを提供することを目的とする。

【0008】本発明の他の目的は、高速な処理を実行することができるS IMDプロセッサを提供することである。

【0009】本発明のさらに他の目的は、プロセシングエレメント間のデータ転送を高速に行なうことができるS IMDプロセッサを提供することである。

【0010】本発明のさらに他の目的は、回路規模を削減することができるS IMDプロセッサを提供することである。

【0011】本発明のさらに他の目的は、制御バスの本数を削減することができるS IMDプロセッサを提供することである。

【0012】本発明のさらに他の目的は、命令の記述を簡略化することができるS IMDプロセッサを提供することである。

【0013】

【課題を解決するための手段】請求項1記載のS IMD

プロセッサは、全体制御手段と、複数のプロセシングエレメントと、複数のプロセシングエレメントの各々を一次元的に並列に接続するグローバルバスと、全体制御手段と複数のプロセシングエレメントの各々とを接続する制御バスとを含み、複数のプロセシングエレメントの各々は、ローカルメモリと、複数の演算手段と、データ入出力手段と、ローカルメモリ、複数の演算手段、およびデータ入出力手段とに接続され、データを伝送するための3つのローカルバスと、複数の演算手段の各々に接続され、複数演算を行なうためのデータを伝送するための複合演算バスとを含み、全体制御手段は、同一演算を行なうように複数のプロセシングエレメントの各々の動作を制御する。

【0014】請求項2記載のS IMDプロセッサは、請求項1記載のS IMDプロセッサの構成に加え、上記3つのローカルバスは、複数の演算手段へデータを入力するための2本のデータ入力用ローカルバスと、複数の演算手段からデータを出力するための1本のデータ出力用ローカルバスとを含む。

【0015】請求項3記載のS IMDプロセッサは、請求項2記載のS IMDプロセッサの構成に加え、上記複数の演算手段は、算術論理演算器と、乗算器と、ビット演算器と、累算器とを含み、上記複合演算用バスは、算術論理演算器の出力データを乗算器、ビット演算器、および累算器へ出力するための第1複合演算用バスと、乗算器の出力データをビット演算器、および累算器へ出力するための第2複合演算用バスと、ビット演算器の出力データを累算器へ出力するための第3複合演算用バスとを含む。

【0016】請求項4記載のS IMDプロセッサは、全体制御手段と、各々がローカルメモリを含む複数のプロセシングエレメントと、複数のプロセシングエレメントの各々を一次元的に並列に接続するグローバルバスと、全体制御手段と複数のプロセシングエレメントの各々とを接続する制御バスとを含み、グローバルバスは、全体制御手段の出力データを複数のプロセシングエレメントの各々へ伝送するための第1グローバルバスと、複数のプロセシングエレメントの各々へ出力するための第2グローバルバスと、複数のプロセシングエレメントのうち1つのプロセシングエレメントのローカルメモリのデータを他のプロセシングエレメントへ出力するための第3グローバルバスとを含む。

【0017】請求項5記載のS IMDプロセッサは、請求項4記載のS IMDプロセッサの構成に加え、上記複数のプロセシングエレメントの各々は、さらに、複数の演算手段と、データ入出力手段と、ローカルメモリ、複数の演算手段、およびデータ入出力手段とに接続され、データを伝送するためのローカルバスとを含み、上記ローカルメモリは、データ入出力手段を介して第3グロ-

バルバスと接続される。

【0018】請求項6記載のS IMDプロセッサは、並列に備えられた8つのプロセシングエレメントと、8つのプロセシングエレメント間を論理的に等間隔で接続する8本のグローバルバスとを含み、8つのプロセシングエレメントの各々は、8本のグローバルバスのうち所定の4本のグローバルバスからデータが入力され、残り4本のグローバルバスのうち所定の2本のグローバルバスへデータを出力する。

【0019】請求項7記載のS IMDプロセッサは、請求項6記載のS IMDプロセッサの構成に加え、上記8本のグローバルバスは、第1ないし第8グローバルバスを含み、上記8つのプロセシングエレメントは、第1ないし第8プロセシングエレメントを含み、上記8つのプロセシングエレメントの各々は、第1および第2出力ポートと第1ないし第4入力ポートを含み、第1プロセシングエレメントは、第1および第2出力ポートから第1および第5グローバルバスへそれぞれデータを出力し、かつ、第1ないし第4グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第2プロセシングエレメントは、第1および第2出力ポートから第2および第6グローバルバスへそれぞれデータを出力し、かつ、第3、第4、第1、第2グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第3プロセシングエレメントは、第1および第2出力ポートから第3および第7グローバルバスへそれぞれデータを出力し、かつ、第3、第4、第1、第2グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第4プロセシングエレメントは、第1および第2出力ポートから第4および第8グローバルバスへそれぞれデータを出力し、かつ、第1ないし第3グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第5プロセシングエレメントは、第1および第2出力ポートから第5および第1グローバルバスへそれぞれデータを出力し、かつ、第5ないし第8グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第6プロセシングエレメントは、第1および第2出力ポートから第6および第2グローバルバスへそれぞれデータを出力し、かつ、第6ないし第8、第5グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力され、第7プロセシングエレメントは、第1および第2出力ポートから第7および第3グローバルバスへそれぞれデータを出力し、かつ、第7、第8、第5、第6グローバルバスから第1ないし第4出力ポートへそれぞれデータを入力され、第8プロセシングエレメントは、第1および第2出力ポートから第8および第4グローバルバスへそれぞれデータを出力し、かつ、第8、第5ないし第7グローバルバスから第1ないし第4入力ポートへそれぞれデータを入力される。

【0020】請求項8記載のS IMDプロセッサは、複数のプロセシングエレメントを含むS IMDプロセッサであって、複数のプロセシングエレメントの各々は、ローカルメモリと、隣接する1つのプロセシングエレメントのローカルメモリの出力データを選択的に自身のローカルメモリへ入力するための入力手段とを含み、ローカルメモリは、直列に接続される。

【0021】請求項9記載のS IMDプロセッサは、請求項8記載のS IMDプロセッサの構成に加え、入力手段は、外部から入力されるデータ、隣接する1つのプロセシングエレメントのローカルメモリの出力データ、および自身のローカルメモリの出力データのうち一方のデータを選択的に入力する選択入力手段を含む。

【0022】請求項10記載のS IMDプロセッサは、複数のプロセシングエレメントを含むS IMDプロセッサであって、複数のプロセシングエレメントの各々は、ローカルメモリを含み、ローカルメモリは、各々が独立に制御可能3つのバンクメモリを含む。

【0023】請求項11記載のS IMDプロセッサは、請求項10記載のS IMDプロセッサの構成に加え、上記S IMDプロセッサは、さらに、全体制御手段を含み、上記複数のプロセシングエレメントの各々は、さらに、複数の演算手段を含み、上記ローカルメモリは、さらに、演算手段の演算結果を格納するためのレジスタと、全体制御手段から出力されるアドレスとレジスタに格納された演算結果のうち一方を選択的にバンクメモリのアドレスとして出力する選択手段とを含む。

【0024】請求項12記載のS IMDプロセッサは、全体制御手段と、複数のプロセシングエレメントと、複数のプロセシングエレメントの各々を一次元並列に接続するグローバルバスと、全体制御手段と複数のプロセシングエレメントの各々を接続する制御バスとを含み、複数のプロセシングエレメントは、各々が制御信号に応じて動作する複数の演算手段と、全体制御手段から制御バスを介して伝送されるオペレーションコードをデコードし、複数の演算手段に応じた複数の制御信号およびパイプ遅延信号を出力するデコード手段と、複数の制御信号ごとに設けられ、複数の制御信号のうち対応する制御信号を受け、複数のパイプ遅延信号のうち対応するパイプ遅延信号に応答して、所定のタイミングで制御信号を出力する複数のパイプラインレジスタ手段とを含む。

【0025】請求項13記載のS IMDプロセッサは、請求項12に記載のS IMDプロセッサの構成に加え、上記複数の演算手段は、算術論理演算器と、乗算器と、ビット演算器と、累算器とを含み、上記複数のパイプラインレジスタ手段は、デコード手段から出力される算術論理演算器用の制御信号を格納する1段の第1レジスタと、デコード手段から出力される乗算器用の制御信号を格納し、乗算器用のパイプ遅延信号に応答して所定のタ

イミングで乗算器用の制御信号を出力する2段の第2レジスタと、デコード手段から出力されるビット演算器用の制御信号を格納し、ビット演算器用のパイプ遅延信号に応答して所定のタイミングでビット演算器用の制御信号を出力する3段の第3レジスタと、デコード手段から出力される累算器用の制御信号を格納し、累算器用のパイプ遅延信号に応答して所定のタイミングで累算器用の制御信号を出力する4段の第4レジスタとを含む。

【0026】請求項14記載のS IMDプロセッサは、全体制御手段と、複数のプロセシングエレメントと、複数のプロセシングエレメントの各々を一次元的に並列に接続するグローバルバスと、全体制御手段と複数のプロセシングエレメントの各々とを接続する制御バスとを含み、複数のプロセシングエレメントの各々は、各々が制御信号に応じて動作する複数の演算手段と、複数の演算手段の各々が出力する演算結果に対応するフラグと、全体制御手段から制御バスを介して出力される条件判定コードとを比較する比較手段と、比較手段の比較結果に応じて、全体制御手段から制御バスを介して複数の演算手段ごとに出力される制御信号にマスクをかけ、制御信号を出力するマスク手段とを含む。

【0027】請求項15記載のS IMDプロセッサは、請求項14記載のS IMDプロセッサの構成に加え、上記比較手段は、複数のフラグのうち所定のフラグを選択するセレクタと、セレクタの出力と条件判定コードとを比較し、所定の比較結果を出力する比較判定器とを含み、上記マスク手段は、比較判定器が outputする比較結果を格納するレジスタと、複数の制御信号ごとに設けられ、レジスタの出力と制御信号の各々との論理積を複数の演算手段のうち対応する演算手段へ出力する複数のAND回路とを含む。

【0028】請求項16記載のS IMDプロセッサは、全体制御手段と、各々が制御信号に応じて動作する複数の演算手段を含む複数のプロセシングエレメントと、全体制御手段と複数のプロセシングエレメントの各々とを一次元並列に接続するグローバルバスおよび制御バスとを含み、全体制御手段は、複数の演算手段ごとに応じた制御信号をパイプ遅延させるパイプライン手段を含み、パイプライン手段は、制御バスを介して複数のプロセシングエレメントの各々に、パイプ挿入に必要な複数のパイプ遅延とパイプ遅延した制御信号とを出力し、上記複数のプロセシングエレメントの各々は、さらに、複数の演算手段の各々が出力する演算結果に対応するフラグと、全体制御手段から制御バスを介して出力される条件判定コードとを比較する比較手段と、複数のパイプ遅延および比較手段の比較結果に応じて、パイプライン手段から出力される制御信号にマスクをかけ、制御信号を対応する複数の演算手段に outputするマスク手段とを含む。

【0029】請求項17記載のS IMDプロセッサは、

請求項16記載のS IMDプロセッサの構成に加え、上記比較手段は、複数のフラグのうち所定のフラグを選択するセレクタと、セレクタの出力と条件判定コードとを比較し、所定の比較結果を出力する比較判定器とを含み、上記マスク手段は、比較判定器が出力する比較結果を格納するレジスタと、複数のパイプ延延値に応じて、比較手段の比較結果を出力する比較結果出力手段と、制御信号ごとに設けられ、比較結果出力手段から出力される比較結果と全体制御手段から出力される制御信号の各々との論理積を複数の演算手段のうち対応する演算手段へ出力する複数のAND回路とを含む。

【0030】請求項18記載のS IMDプロセッサは、複数のプロセシングエレメントと、リンク処理手段と、複数のプロセシングエレメントの各々とリンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、リンク処理手段は、少なくとも、加算、および最大値／最小値演算が可能な算術論理演算器と、データを記憶するローカルメモリとを含む。

【0031】請求項19記載のS IMDプロセッサは、請求項18記載のS IMDプロセッサの構成に加え、上記リンク処理手段は、さらに、グローバルバスにより伝送されるデータの出入力を行なうインタフェース手段と、インターフェース手段の出力およびローカルメモリの出力のうち一方を選択的に算術論理演算器へ出力する第1セレクタと、算術論理演算器の出力を格納するレジスタと、レジスタの出力およびローカルメモリの出力のうち一方を選択的に算術論理演算器へ出力する第2セレクタとを含み、上記ローカルメモリは、算術論理演算器の出力を記憶する。

【0032】請求項20記載のS IMDプロセッサは、8つのプロセシングエレメントと、リンク処理手段と、8つのプロセシングエレメントの各々とリンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、リンク処理手段は、8つのプロセシングエレメントの各々の出力データを上位データと下位データとに分割して上位データおよび下位データのうち一方を選択的に出力する8つの分割手段を含み、リンク処理手段は、8つの分割手段のうち2つの出力データを合わせてそれぞれ4つの出力データを出力する。

【0033】請求項21記載のS IMDプロセッサは、請求項20記載のS IMDプロセッサの構成に加え、上記リンク処理手段は、少なくとも、加算、および最大値／最小値演算が可能な算術論理演算器と、データを記憶するローカルメモリとを含む。

【0034】請求項22記載のS IMDプロセッサは、複数のプロセシングエレメントと、リンク処理手段と、複数のプロセシングエレメントの各々とリンク処理手段とを一次元的に並列に接続するグローバルバスとを含み、リンク処理手段は、複数のプロセシングエレメントからグローバルバスを介して入力される複数のデータに

対してソーティングを行なうためのソーティング手段と、ソーティング手段によりソーティングされる複数のデータの各々に対して所定のコードを割付けるコード割付手段とを含む。

【0035】請求項23記載のS IMDプロセッサは、請求項22記載のS IMDプロセッサの構成に加え、上記コード割付手段は、ソーティング手段によるデータの移動および格納と同様にコードを移動および格納せらる。

【0036】

【作用】請求項1ないし請求項3記載のS IMDプロセッサにおいては、複数の演算手段の各々が、3つのローカルバスおよび複合演算用バスにより選択的にデータを転送することができるるので、プロセシングエレメント内のデータ転送の効率が高くなる。

【0037】請求項4および請求項5記載のS IMDプロセッサにおいては、3本の第1ないし第3グローバルバスを具備することにより、プロセシングエレメント間でのデータの転送をフレキシブルかつ高速に実行することができる。

【0038】請求項6および請求項7記載のS IMDプロセッサにおいては、各プロセシングエレメントがグローバルバスにより論理的に等間隔で接続されているので、プロセシングエレメント間でのデータ転送を高速に行なうことが可能となる。

【0039】請求項8および請求項9記載のS IMDプロセッサにおいては、各プロセシングエレメント内のローカルメモリが直列にチェーン状に接続されるため、ローカルメモリを画像処理に有効なラインメモリとして機能させることができる。

【0040】請求項10および請求項11記載のS IMDプロセッサにおいては、ローカルメモリが、独立に制御可能な3つのバックメモリから構成されているので、同時に2つのバックメモリが読み動作を行ない、1つのバックメモリが書き動作を行なうことができるので、高速な処理が可能となる。

【0041】請求項12および請求項13記載のS IMDプロセッサにおいては、各プロセシングエレメントが命令用のバイアラインレジスタ手段を具備し、全体制御手段からのオペレーションコードをデコードして複数の演算手段に対応した複数の制御信号を、パイプ延延信号に応じて所定のタイミングで出力しているので、全体制御手段から出力される制御信号はオペレーションコードのみとなり、制御バスの本数を削減することが可能となる。

【0042】請求項14および請求項15記載のS IMDプロセッサにおいては、各制御手段から出力されるプログラムを全体制御手段から出力される条件判定コードに応じて比較判定し、制御信号にマスクをかけているので、同じ制御信号で並列に動作している複数のプロセシング

エレメントを演算手段の演算結果に応じて選択的に動作させることができる。

【0043】請求項16および請求項17記載のS I M Dプロセッサにおいては、パイプ延延および比較手段の比較結果に応じて全体制御手段からの制御信号にマスクをかけ、演算手段に制御信号を出力しているので、制御信号の命令記述が容易となり、任意の位置で条件判定命令を記述できる。

【0044】請求項18および請求項19記載のS I M Dプロセッサにおいては、加算、最大値、最小値演算が可能な算術論理演算器およびローカルメモリを具備しているので、各プロセシングエレメント間でのデータ転送を行なうことなくソーティング処理を行なうことが可能となる。

【0045】請求項20および請求項21記載のS I M Dプロセッサにおいては、各プロセシングエレメントの出力を上位および下位のデータに分割して選択的に出力することができるので、様々なモードでデータを出力することが可能となる。

【0046】請求項22および請求項23記載のS I M Dプロセッサにおいては、リンク処理手段においてソーティングされたデータに対して所定のコードを割付けているので、各プロセシングエレメント内でコードを生成する必要がなくなる。

【0047】

【実施例】以下、本発明の第1の実施例のS I M Dプロセッサについて図面を参照しながら説明する。図1は、本発明の第1の実施例のS I M Dプロセッサの構成を示す図である。

【0048】図1を参照して、S I M Dプロセッサは、各プロセシングエレメントの動作を行なう全体制御部(CU)CUa、複数のプロセシングエレメント(P E)P E a 0～P E n、プロセシングエレメントP E a 0～P E nの各々を一次元的に並列に接続するグローバルバスGB、全体制御部CUaと各プロセシングエレメントP E a～P E nとを接続する制御バスCBを含む。

【0049】各プロセシングエレメントP E a 0～P E nは、ローカルメモリ(LM)LMa、データ入出力部(I O)I O a、ALUブロックALB、MP YブロックMB、BMUブロックBB、AUブロックAUB、ローカルバスLB 0～LB 2、複合演算用バスMO B 0～MO B 2を含む。

【0050】AULブロックALBは、レジスタR1(REG)R1～R3、セレクタ(SEL)S1、算術論理演算器(ALU)ALを含む。MP YブロックMBは、セレクタS2～S4、レジスタR5～R7、乘算器(MPY)MPを含む。BMUブロックBBは、セレクタS5～S7、レジスタR8～R10、ビット演算器(BMU)BMを含む。AUブロックAUBは、セレク

タS8、S9、レジスタR11、S12、累算器(AU)AUを含む。

【0051】複数のプロセシングエレメントP E a 0～P E a nは、全体制御部CUから制御バスCBを介して出力される制御信号によって制御される。各プロセシングエレメントは同一の処理を実行し、プロセシングエレメント間でのデータの転送はグローバルバスGBにより行なわれる。

【0052】プロセシングエレメント内のALUブロックALB、MP YブロックMB、BMUブロックBB、およびAUブロックAUBはローカルバスLB 0～LB 2により接続されている。

【0053】ローカルメモリLMaは、制御バスCBを介して伝送される制御信号によって制御され、ローカルバスLB 2から読出したデータを記憶する。ローカルメモリLMaから読出されたデータは、ローカルバスLB 0、LB 1に出力される。

【0054】データ入出力部I O aは、各プロセシングエレメントP E a 0～P E a n内のデータを他のプロセシングエレメント間で交換する場合にデータの入出力の制御を行なう。

【0055】算術論理演算器ALは、レジスタR1およびR2を介してローカルバスLB 0およびLB 1により転送されたデータをソースとする2つの入力に対して、加算、減算、絶対値等の算術演算、または、論理和、論理積、排他的論理等の論理演算を全体制御部CUaから出力される制御信号に応じて実行する。算術論理演算器ALの演算結果は、複合演算用バスMO B 0を介してレジスタR3、MP YブロックMB、BMUブロックBB、AUブロックAUBへ出力される。

【0056】セレクタS 2には、ローカルバスLB 0のデータおよび複合演算用バスMO B 0のデータが入力され、いずれか一方のデータをレジスタR5へ出力する。セレクタS 3も同様にローカルバスLB 1および複合演算用バスMO B 0のデータを選択的にレジスタR6へ出力する。乗算器MPはレジスタR5およびR6のデータを受ける。つまり、乗算器MPは、ローカルバスLB 0および算術論理演算器AUの出力のうち一方を第1の入力とし、ローカルバスLB 1および算術論理演算器AUの出力のうち一方を第2の入力とした2つの入力データの乗算を行なう。乗算器MPの演算結果は、レジスタR7、または複合演算用バスMO B 1を介してMP YブロックMBおよびAUブロックAUBへ出力される。

【0057】セレクタS 5にはローカルバスLB 0および複合演算用バスMO B 1のデータが入力され、いずれか一方を選択的にレジスタR8へ出力する。セレクタS 6も同様にローカルデータバスLB 1および複合演算用バスMO B 1のデータのうちいずれか一方をレジスタR9へ出力する。ビット演算器BMは、レジスタR8およびR9のデータを受ける。つまり、ビット演算器BM

は、ローカルデータバスLB0および乗算器MPの出力のうち一方を第1の入力とし、ローカルバスLB1および算術論理演算器ALの出力のうち一方を第2の入力とした2つの入力データに対して、大別して以下の2種類の演算のうちいずれか一方を実行する。

【0058】図2は、図1に示すビット演算器の構成を示すブロック図である。図2を参照して、ビット演算器BMは、論理演算器BM1、ビットカウンタBM2、シフトBM3、セレクタS11を含む。

【0059】ビット演算器BMにおける第1の演算は、論理演算器BM1およびシフトBM3によって行なわれるシフト演算である。つまり、レジスタR8から出力される第1の入力BS1とレジスタR9から出力される第2の入力BS2の論理和または論理積を実行した結果、または2つの入力BS1、BS2のうち一方に対して、論理シフト、算術シフトを実行する。

【0060】第2の演算は、ビットカウンタBM2において第2の入力BS2中に含まれる“1”的数を計測する。第1および第2の演算結果のうち一方がレジスタS11により選択され、出力BS3として出力される。出力BS3は、レジスタR10、および複合演算用バスM0B2を介してAUブロックAUBAに出力される。

【0061】再び図1を参照して、セレクタS8には、複合演算用バスM0B0～M0B1を介して算術論理演算器AL、乗算器MP、およびビット演算器BMの各データが入力され、入力した3つのデータのうち1つを選択し、レジスタR11へ出力する。累算器AUには、レジスタR11のデータおよびレジスタR12を介して自身の出力が入力される。累算器AUは、セレクタS8により選択されたデータ、または選択されたデータとレジスタR12のデータとの間で加算した結果をレジスタR11にセットする。

【0062】各演算器の出力側のレジスタR3、R7、

R10、R12の各データは、セレクタS1、S4、S7、S9を経由して、ローカルバスLB0～LB2に選択的に出力される。

【0063】演算は、一般に2つのデータを入力して1つの結果を得る。したがって、本実施例では、ローカルバスLB0およびLB1を2つの入力用データバスとして用い、演算結果をローカルメモリLMaに書込む。また、各プロセシングエレメント間でデータを交換するための出力用データバスとしてローカルバスLB2を用いる。したがって、上記のように3本のローカルバスLB0～LB3をプロセシングエレメント内に具備することにより、1つの演算命令に対して必要なデータ転送を独立して同時に実行することができ、高速な処理が可能となる。

【0064】また、差分自乗和のような複数の演算器を順番に経由して処理する必要がある複合演算に対しては、各演算器の出力側のレジスタR3、R7、R10お

よびローカルバスLB0～LB2を介してデータを転送することなく、各演算器間を直接接続した複合演算用バスM0B0～M0B2を介してデータの転送を行なう。したがって、本実施例のプロセシングエレメントでは、各マシンサイクルごとに同じ差分自乗和演算を実行することができる。つまり、差分自乗和演算の場合には、ローカルメモリLMaから同時に読み出された2つのデータが、ローカルバスLB0およびLB1を経由して、算術論理演算器ALに入力され、入力の処理が実行される。減算結果は、複合演算用バスM0B0を介して伝送され、乗算器MPの2つの入力となる。乗算器MPは、2つの入力により自乗演算を実行する。自乗演算結果は、複合演算用バスM0B1を介して伝送され、ビット演算器BMの入力となる。入力されたデータは論理演算器BM1をそのまま通過し、シフトBM3により桁合わせのための算術シフトが行なわれる。シフト結果は、複合演算用バスM0B2を介して伝送され、累算器AUの入力となる。累算器AUによりレジスタR12のデータと入力との加算が行なわれる。上記の処理により、算術論理演算器ALは常に減算を行ない、乗算器MPは常に乗算を行ない、ビット演算器BMは常に算術シフトを行ない、累算器AUは常に累算を行なうことができる。この結果、データ転送命令を間に挿入することなく、差分自乗和演算を繰り返し実行することが可能となる。

【0065】他に複合演算としては、差分絶対値和、または、2値画像に対する処理で頻繁に行なわれるローカルメモリデータに対するマスク演算後のデータ中に含まれる“1”的数の累算がある。このような複合演算でも、本実施例で上記と同様に高速に処理することが可能である。また、複合演算実行中に、その複合演算処理で使えない演算器、または複合演算処理で既に演算が終了している演算器に対しては、複合演算命令と同時に異なる演算命令に満たす処理を実行することが可能である。

【0066】さらに、各演算器出力は、出力側のレジスタR3、R7、R10、R12に格納された後に、ローカルバスLB2を介してローカルメモリLMaまたはデータ出力部IOaへ転送される。したがって、レジスタR3、R7、R10、R12を一次レジスタとして使用することが可能である。この結果、ローカルメモリLMaを介さず、またはローカルメモリLMaへの書き込みとともに書込まれたデータを次の命令のソースとすることが可能となる。

【0067】上記のように第1の実施例では、並列に配置された複数のプロセシングエレメントを含む SIMDプロセッサにおいて、ローカルメモリ、データ出力部、算術論理演算器、乗算器、ビット演算器、累算器の各機能ブロックと2入力1出力用の3本のローカルバスを具備するとともに、各演算器出力が出力側のレジスタ

あるいは他の演算器の入力側のセレクタに入力され、さらに、出力側のレジスタからは選択的にローカルバスに输出可能な構成になっているので、プロセシングエレメント内におけるデータ転送の効率が高く、高速に種々の演算を実行することができる。

【0068】次に、本発明の第2の実施例のSIMDプロセッサについて説明する。図3は、本発明の第2の実施例のSIMDプロセッサの主要部の構成を示すブロック図である。

【0069】図3を参照して、SIMDプロセッサは、全体制御部CUa、複数のプロセシングエレメントPEb0～PEbnを含む。各プロセシングエレメントPEb0～PEbnはデータ入出力部IOb、ローカルメモリLMB、ローカルバスLB0～LB2を含む。図3に示すプロセシングエレメントPEb0～PEbnは、図1に示すプロセシングエレメントPEa0～PEanと同様にALUブロックALB、MPYブロックMB、BMUブロックBB、AUブロックAUを含むが、説明を簡略化するため図示を省略している。したがって、これらの各ブロックの動作は図1に示すプロセシングエレメントPEa0～PEanと同様であるので詳細な説明は省略する。

【0070】次に、第2の実施例の特徴部分について詳細に説明する。ローカルメモリLMBから読出されたデータは、ローカルバスLB0、LB1に出力されるとともに、データ入出力部IObにも出力される。データ入出力部IObは、全体制御部CUaから出力されるデータを送信するためのグローバルバスGIB、プロセシングエレメントPEb0～PEbn間のデータの交換を行なうためのグローバルバスGPB、ローカルメモリLMBからデータ入出力部IObへ入力されたデータを出力するためのグローバルバスGMBにより外部と接続されている。

【0071】グローバルバスGIBにおいて、全体制御部CUaに入力される命令中に含まれた即時データまたは全体制御部CUa中のレジスタデータが転送される。演算命令で既知の共通のデータとの演算を行なう場合、または全体に共通のデータをローカルメモリLMB、演算器出力レジスタ（図示省略）にセットする場合に、グローバルバスGIBを介してデータの転送が行なわれる。

【0072】グローバルバスGPBは、プロセシングエレメントPEb0～PEbnの数だけその本数があり、プロセシングエレメントPEb0～PEbn間で同時にデータの転送を行なうことができる。並列に接続されたプロセシングエレメントPEb0～PEbnの演算結果の総和を求める場合、または、一定の間隔を置いたプロセシングエレメントPEb0～PEbn間でのデータの転送を行なう場合、グローバルバスGPBを介してデータの転送が行なわれる。

【0073】グローバルバスGMBは、並列に接続された複数個のプロセシングエレメントPEb0～PEbnのうちの任意の1つのプロセシングエレメントに含まれるローカルメモリLMBのデータを他のすべてのプロセシングエレメントに転送する場合に用いられる。

【0074】上記の構成により、第2の実施例では、データ転送を行なうグローバルバスとして、全体制御部CUaからすべてのプロセシングエレメントPEb0～PEbnにデータを分配するバスGIB、データ入出力部IObを介してすべてのプロセシングエレメントPEb0～PEbnの出力用ローカルバスLB2と接続されたバスGPB、すべてのプロセシングエレメントPEb0～PEbnのうちの任意の1つのプロセシングエレメント内のローカルメモリLMBから読出されたデータを他のすべてのプロセシングエレメントに出力するバスGMBの3組のバスを具備することにより、各プロセシングエレメント間でのデータの授受をフレキシブルにかつ高速に実行することが可能となる。また、複数のグローバルバスを介してデータ転送を行なうことができるため、種々の演算をより高速に行なうことができ、多様な処理を実行することが可能となる。

【0075】次に、本発明の第3の実施例のSIMDプロセッサについて説明する。図4は、本発明の第3の実施例である8並列のプロセシングエレメントを有するSIMDプロセッサの主要部の構成を示すブロック図である。

【0076】図4を参照して、SIMDプロセッサは、8個のプロセシングエレメントPEc0～PEc7、8本のグローバルバスGP0～GP7を含む。各プロセシングエレメントPEc0～PEc7はデータ入出力部IOc0～IOc3を含む。図4では、説明を容易にするため、全体制御部、制御バス、ローカルメモリ、MPYブロック、BMUブロック、AUブロックについては図示を省略しているが、これらの各ユニットは図1に示すものと同様であり同様に動作を行なうので、以下その説明を省略する。

【0077】プロセシングエレメントPEc0およびPEc4には、データ入出力部IOc0が、プロセシングエレメントPEc1およびPEc5にはデータ入出力部IOc1が、プロセシングエレメントPEc2およびPEc6にはデータ入出力部IOc2が、プロセシングエレメントPEc3およびPEc7にはデータ入出力部IOc3がそれぞれグローバルバスGP0～GP7とのインターフェース部として具備されている。

【0078】各データ入出力部IOc0～IOc3は、プロセシングエレメントからのデータの出力部として2つの出力ポートd0およびd1、入力部として4つの入力ポートs0～s3を含み、各ポートがグローバルバスGP0～GP7の所定のバスと接続されている。具体的には、プロセシングエレメントPEc0およびPEc4

のデータ入出力部 I O c 0 からの出力は、グローバルバス GP 0 および GP 4 に、プロセシングエレメント PE c 1 および PE c 5 のデータ入出力部 I O c 1 からの出力は、グローバルバス GP 1 および GP 5 に、プロセシングエレメント PE c 2 および PE c 6 のデータ入出力部 I O c 2 からの出力は、グローバルバス GP 2 および GP 6 に、プロセシングエレメント PE c 3 および PE c 7 のデータ入出力部 I O c 3 からの出力は、グローバルバス GP 3 および GP 7 に、それぞれ接続され、出力ポート d 0 および d 1 が異なるグローバルバスに接続される。また、プロセシングエレメント PE c 0 ～ PE c 3 への 4 つの入力は、グローバルバス GP 0 ～ GP 3 からのデータを受け、プロセシングエレメント PE c 4 ～ PE c 7 への入力はグローバルバス GP 4 ～ GP 7 から入力され、それぞれ入力ポート s 0 ～ s 3 とグローバルバスの順序が 1 つずつシフトして接続されている。

【0079】次に、図 4 に示すデータ入出力部についてさらに詳細に説明する。図 5 は、図 4 に示すデータ入出力部 I O c 0 の一実施例の構成を示す図である。

【0080】図 5 を参照して、データ入出力部 I O c 0 は、判定部 I 1 、セレクタ S 21 、S 22 、バスドライバ I 2 、I 3 を含む。

【0081】ローカルバス L B 2 上のデータは、セレクタ S 21 により出力 d 0 または d 1 のいずれか一方へ選択的に出力される。また、入力 S 0 ～ S 3 の中から 1 つのデータがセレクタ S 22 によって選択される。選択されたデータはバスドライバ I 2 および I 3 へ入力され、制御バス C B を介して入力された制御信号に応じてローカルバス L B 0 または L B 1 にに出力される。また、セレクタ S 21 および S 22 の動作は、制御バス C B を介して入力された制御信号 SG を基に判定部 I 1 が选出する制御信号により制御される。

【0082】データ入出力部の構成は、データ入出力部 I O c 0 ～ I O c 3 では同様であるが、グローバルバス GP 0 ～ GP 7 の間のデータの入出力の選択を決定する判定部 I 1 の機能がそれほど異なる。判定部 I 1 には、制御バス C B から 3 ビットのグローバルバス入出力制御信号 SG が入力される。グローバルバス入出力制御信号 SG は、すべてのプロセシングエレメントに共通して入力され、データ入出力部ごとにグローバルバスとの間の入出力選択信号の指定が異なる。

【0083】次に、グローバルバス入出力制御信号 SG とデータ入出力部の入出力選択との関係について説明する。図 6 は、グローバルバス入出力制御信号 SG とデータ入出力部の入出力選択との関係を示す図である。

【0084】グローバルバス入出力制御信号 SG は、データを交換するプロセシングエレメント間の距離を表わしたとえば、SG = "011" の場合は、プロセシングエレメント PE c 0 はプロセシングエレメント PE c 3 から、プロセシングエレメント PE c 1 はプロセシ

ングエレメント PE c 4 からというように、各プロセシングエレメントがそれぞれ 3 つ右隣のプロセシングエレメントからのデータを受け取ることを意味する。

【0085】制御信号 SG が "001" ～ "100" の場合には、データ入出力部 I O c 0 は出力ポート d 1 からデータを出し、それ以外は出力ポート d 0 からデータを出す。データ入出力部 I O c 1 は、グローバルバス入出力制御信号 SG が "010" ～ "101" の場合に、出力ポート d 0 からデータを出し、それ以外は出力ポート d 1 からデータを出し、それ以外は出力ポート d 0 からデータを出力する。データ入出力部 I O c 2 は、グローバルバス入出力制御信号 SG が "011" ～ "110" の場合に、出力ポート d 1 からデータを出し、それ以外は出力ポート d 0 からデータを出力する。データ入出力部 I O c 3 は、グローバルバス入出力制御信号 SG が "100" ～ "111" の場合に、出力ポート d 1 からデータを出し、それ以外は出力ポート d 0 からデータを出力する。また、グローバルバスとデータ入出力部との接続順序はデータ入出力部ごとにシフトしているので、入力の選択はすべてのデータ入出力部で共通する。つまり、グローバルバス入出力制御信号 SG の下位 2 ビットが "00" の場合には、入力ポート s 0 を、"01" の場合は入力ポート s 1 を、"10" の場合は入力ポート s 2 を、"11" の場合は入力ポート s 3 をそれぞれ選択する。

【0086】以上の構成により、第 3 の実施例である 8 並列のプロセシングエレメントを有する SIMD プロセッサにおいては、グローバルバスとの接続を 4 入力 2 出力として、各プロセシングエレメントでグローバルバスとの接続と入出力の選択を異なるものとしたため、グローバルバスとの接続の組合せと入出力の選抲の組合せによって、各プロセシングエレメントが論理的に等間隔でデータの転送を行なうことが可能となる。したがって、各プロセシングエレメントとグローバルバスとの接続数が削減されるとともに、各プロセシングエレメントの回路規模が削減される。さらに、各プロセシングエレメントが論理的に等間隔でデータの転送を行なうことができるので、プロセシングエレメント間でのデータの転送を高速にかつ様々なプロセシングエレメントの組合せに対して実行することが可能となる。

【0087】次に、本発明の第 4 の実施例の SIMD プロセッサについて説明する。図 7 は、本発明の第 4 の実施例の SIMD プロセッサの主要部の構成を示すブロック図である。

【0088】図 7 を参照して、SIMD プロセッサは、複数のプロセシングエレメント PE d 0 ～ PE d n を含む。プロセシングエレメント PE d 0 は、セレクタ S 3 0 、ローカルメモリ L M c 0 、ローカルバス L B 0 ～ L B 2 を含む。他のプロセシングエレメント PE d 1 ～ PE d n も同様である。また、図 4 では、説明を容易にするため、全体制御部、制御バス、グローバルバス、デー

タ入出力部、ALUブロック、MPUブロック、BMUブロック、AUブロックについては図示を省略しているが、これらは図1に示すものと同様であり同様に動作するので以下その説明を省略する。

【0089】セレクタS32は、外部入力EX、EX0、ローカルバスLB2のデータが入力される。セレクタS30は入力されたデータを選択し、ローカルメモリLMC0へ出力する。ローカルメモリLMC0は入力したデータを記憶し、記憶したデータをローカルバスLB0およびLB1、セレクタS31へ出力する。以降同様にローカルメモリのデータが次段のローカルメモリに順次出力される。つまり、ローカルメモリから読出されたデータは、ローカルバスLB0、LB1に出力され、その一方が右側のプロセシングエレメントのローカルメモリへ出力される。書込まれるデータは、左隣のプロセシングエレメントのローカルメモリから出力されたデータLD0～LDn-1、外部入力EX0～EXn、ローカルバスLB2のデータの3つのデータから1つのデータがセレクタS30～S3nにより選択される。最左端のプロセシングエレメントにおける接続するプロセシングエレメントからの入力は、外部入力EXである。各プロセシングエレメントに接続された外部入力EX0～EXnはそれぞれ独立した固有の外部入力である。

【0090】次に、フィルタリングにおける局所処理について説明する。図8は、フィルタリングにおける局所処理を説明するための図である。画像PCに対してフィルタリングにおける3×3の局所処理を施す場合、以下のようにする。プロセシングエレメントPEd0は、常に局所ウィンドウWの最下列に対する処理を行ない、プロセシングエレメントPEd1はその1つ上の水平ラインを、プロセシングエレメントPEd2はさらにその1つ上の水平ラインを処理する。3つのプロセシングエレメントは、常に水平方向画像が同じ位置の画素に対する処理を行なう。プロセシングエレメントPEd0の外部入力EXとして画像Pをラスター操作して得られる画像データLDiが順次入力され、ローカルメモリLMC0に書込まれる。画像Pの水平方向の1ライン分のデータの転送が終了すると、次のラインのデータ転送を開始するとともに既に書込まれたラインに対する処理を開始する。

【0091】すべてのプロセシングエレメントのローカルメモリから1ラインずつずれたラインの同じ水平方向位置の画素データが読出される。読出された画素データは、隣接するプロセシングエレメントのローカルメモリの書込データとなり、同じアドレスに格納される。上記操作を繰返すことにより、1ライン分の処理が終了した時点で、各ローカルメモリにあった水平方向の1ラインの画素データはすべて隣接するローカルメモリへ転送される。

【0092】また、画像Pを領域分割して、プロセシ

ングエレメントがその分割された領域に対する処理を分担する場合には、ローカルメモリへはそれぞれ独立した外部入力から画像データを選択入力する。

【0093】以上の処理により、第4の実施例における SIMDプロセッサのローカルメモリでは、ローカルメモリに対する書込データとして、隣接するローカルメモリの読出データを選択することができるので、ローカルメモリをチーン状に直列に接続することができ、ローカルメモリを画像処理に有効なラインメモリとして機能させることができる。また、個々のローカルメモリが独立した外部入力を書込可能とすることにより、高速なデータ転送を実現し、かつ、並列に動作させができる。この結果、高速な処理が可能となり、また、上記の各処理を選択的に行なえるので幅広い用途に使用することができる。

【0094】次に、本発明の第5の実施例のSIMDプロセッサについて説明する。図9は、本発明の第5の実施例のSIMDプロセッサの主要部の構成を示すプロック図である。

【0095】図9を参照して、SIMDプロセッサは、プロセシングエレメントPEe、制御バスCBを含む。プロセシングエレメントPEeは、ローカルメモリLMd、ローカルバスLB0～LB2を含む。ローカルメモリLMdは、セレクタS41～S46、レジスタR21、バンクメモリBa～Bcを含む。図9では、説明を容易にするため、全体制御部、グローバルバス、ALUブロック、MPYブロック、BMUブロック、AUブロック、データ入出力部については図示を省略しているが、これらは図1に示すものと同様であり同様に動作するので以下その説明を省略する。また、プロセシングエレメントとして1つのプロセシングエレメントPEeのみを表わしているが、複数のプロセシングエレメントを備えてもよい。

【0096】ローカルメモリLMdは、同じ容量を持つ3つのバンクメモリBa～Bcが並列に配置された3バンク構成をなし、各バンクメモリBa～Bcは、制御バスCBを介して読出および書込のイネーブル信号enable～enableCおよびアドレスadrA～adrCが与えられる。また、同時に、3つのバンクメモリのうち2つのバンクメモリを読出に用い、他の1つのバンクメモリを書込に用いることができる。各バンクメモリBa～Bcの出力は、ローカルバスLB0およびLB1とセレクタS45およびS46を介してそれぞれ接続され、制御バスCBのアドレス選択信号selS0およびselS1によっていずれかのバンクメモリの出力がローカルバスLB0およびLB1へ出力される。書込データとしては、ローカルバスLB2上のデータまたはプロセシングエレメントPEe外部から入力されたデータのいずれかが制御信号selWによってセレクタS41により選択される。

【0097】また、アドレスとしては、ローカルバスL2上とのデータをレジスタR21に格納しておき、全体制御部（図示省略）から制御バスCBを介して与えられるアドレスa d r A～a d r CとレジスタR21のデータのうち一方をアドレス選択信号e1 A～s e1 CによってセレクタS42～S44により選択可能である。演算結果を用いてテーブルルックアップ処理を行なう場合、ルックアップテーブルを格納しているパンクメモリは予めわかっているので、そのパンクメモリに対して読み出されたアドレスを選択するようにアドレス選択信号を出力することにより、すべてのプロセシングエレメントで同じパンクメモリからデータが読み出される。したがって、レジスタR21に格納された演算結果をアドレスとして選択できるので、読み出されるアドレスは各プロセシングエレメントで異なるという処理が実行できる。さらに、演算結果を読み出アドレスとしてだけでなく、書込アドレスとしても選択可能である。したがって、演算結果から得られるアドレスのデータに対して演算を行なった結果を再び同じアドレスに書込むリードモーファイ動作も実行することができる。

【0098】以上の構成により、本発明の第5の実施例におけるSIMDプロセッサのローカルメモリにおいては、個々に制御可能で3つのパンクメモリを具備することにより、そのうち同時に2つが読み出動作、1つが書込動作を実行することができる。したがって、高速な処理が可能となる。また、演算結果を格納するレジスタR21を具備し、レジスタR21に格納した演算結果をアドレスとして選択することができるので、同一の制御信号で並列動作しているプロセシングエレメントにおいて各自独自のアドレッシングが可能となり、より高度な処理を実現することができる。

【0099】次に、本発明の第6の実施例のSIMDプロセッサについて説明する。図10は、本発明の第6の実施例のSIMDプロセッサの構成を示すブロック図である。図10に示すSIMDプロセッサと図1に示すSIMDプロセッサとの異なる点は、PE演算制御部POCaが付加され、各演算器ブロックへ制御信号cALU、cMPY、cBMU、cAUがそれぞれ出力される点であり、その他の点は図1に示すものと同様であるので同一部分には同一符号を付し以下その説明を省略する。

【0100】全体制御部CUBは、後述するニーモニックが2種のコードに変換された命令列を格納し、プロセシングエレメントPEf0～PEfnが順次実行するように制御信号を制御バスCBを介して出力する。PE演算制御部POCaは、制御バスCBを介して上記命令中の6ビットのオペレーションコードopcodeが入力される。

【0101】次に、図10に示すPE演算制御部について

てさらに詳細に説明する。図11は、図10に示すPE演算制御部の構成を示すブロック図である。

【0102】図11を参照して、PE演算制御部POCaは、オペレーションコードopcodeをデコードするデコード部DU、各演算器に対する制御信号cALU、cMPY、cBMU、cAUを転送するためのセレクタS51～S59およびレジスタR31～R40を含む。

【0103】各演算器に対するシフトレジスタはその段数が異なり、算術論理演算器に対するレジスタは1段、乗算器に対するレジスタは2段、ビット演算器に対するレジスタは3段、累算器に対するレジスタは4段となっている。レジスタ間に挿入されたセレクタS51～S59は、前段のレジスタからの入力とデコード部DUからの制御信号のいずれか一方をデコード部DUからのパイプ遮断信号p1～p3によって選択し、次段のレジスタへ渡す。

【0104】次に、上記のPE演算制御部の動作についてさらに詳細に説明する。図12は、図11に示すSIMDプロセッサにおける命令と制御との関係を示す図である。たとえば、図12に示す二モニックsubsrで示される差分自乗和を実行する場合、4ステージをかけてすべての演算器に順次演算結果を渡して、最終結果を得るパイプ処理を行なう必要がある。この場合、全体制御部CUBからオペレーションコードopcode="0000011"がデコード部DUに与えられる。デコード部DUは、算術論理演算器に対して差分を実行するためのsub命令を発行する。また、乗算器に対しては、sub命令の処理の次のステージで乗算を行なうために、パイプ遮断信号p1は、算術論理演算器への制御の1段後のレジスタにmpy命令を挿入するように"10"とする。また、乗算結果を累算するための桁合わせとして算術右シフトを実行するように、ビット演算器に対してars命令が発行され、パイプ遮断信号p2は、乗算器への制御の1段後のレジスタにars命令を挿入するように"100"となる。さらに、シフトした結果を累算するように累算器に対してadd命令が発行され、パイプ遮断信号p3は、ビット演算器への制御の1段後のレジスタにadd命令を挿入するように"1000"となる。

【0105】上記の命令発行とパイプ遮断信号の生成は同時にに行なわれ、所定のパイプステージに命令が挿入される。この結果、命令が挿入された次のステージでは、算術論理演算器に対してsub命令を行なうように制御信号が与えられる。また、他の演算器に対しては、上記subsr命令以前の複合命令の演算の第2ステージ以降に含まれていた命令または動作しないこと(nop)に相当する制御信号が与えられ、シフトレジスタは与えられた制御信号を1段シフトさせる。このとき、与えられた命令に対する制御信号のシフトレジスタへの挿入

入も上記sub sra命令と同様に行なわれる。

【0106】次のステージでは、乗算器に対するmpy命令を行なうための制御信号が送出され、他の演算器に對しては、上記sub sra命令以前の複合命令の演算の第3ステージ以降に含まれていた命令に相当する制御信号、または上記sub sra命令の次に与えられた命令の第1ステージの命令に相当する制御信号、またはnopに相当する制御信号が与えられ、シフトレジスタは制御信号を1段シフトさせる。また、同時に、このステージで与えられた命令に対する制御信号のシフトレジスタへの挿入も上記sub sra命令と同様にして行なわれる。

【0107】上記処理を順次繰返すことによって、算術論理演算器に対するsub命令から4ステージかけてsub sra命令が実行される。また、sub sra命令の終了を待たずに、sub sra命令に隸屬して次々に与えられた命令のデコードとパイプ段数の判定が行なわれて、順次命令が実行されていく。

【0108】以上の構成により、第6の実施例におけるSIMDプロセッサにおいては、各プロセシングエレメントが命令のパイプラインレジスタを行い、全体制御部からのオペレーションコードをデコードして、デコード結果をパイプラインレジスタに挿入する位置をも判定する構成となっている。したがって、可変パイプライン構成を持つSIMDプロセッサの演算処理部に対する制御信号が各プロセシングエレメント内部で生成されるので、全体制御部から出力される演算器への制御信号はオペレーションコードのみとなり、制御バスの本数を削減することが可能となる。

【0109】次に、本発明の第7の実施例のSIMDプロセッサについて説明する。図13は、本発明の第7の実施例のSIMDプロセッサの構成を示すブロック図である。

【0110】図13を参照して、SIMDプロセッサは、全体制御部CUa、制御バスCB、グローバルバスGB、複数のプロセシングエレメントPE g～PE gnを含む。

【0111】各プロセシングエレメントPE g～PE gnは、ローカルメモリLマ、データ出入力部IOa、ALUブロックALB、MPYブロックMB、BMUブロックBB、AUブロックAUB、PE演算制御部POCbを含む。

【0112】PE演算制御部POCbは、セレクタS61、S62、比較判定器CP、PE活性化信号レジスタPAR、AND回路G1～G3を含む。

【0113】図13に示すSIMDプロセッサと、図1に示すSIMDプロセッサと異なる点は、PE演算制御部POCbが付加された点であり、その他の点は図1に示すSIMDプロセッサと同様であるが同一部分には同一符号を付し以下その説明を省略する。また、AL

UブロックALB、MPYブロックMB、BMUブロックBB、AUブロックAUBはそれぞれ、演算結果に対応して、演算結果がオーバロー、負数、0であった場合にはフラグflagALU、flagMPY、flagBMU、flagAUを生成し、PE演算制御部POCbへ出力する。

【0114】PE演算制御部POCbは、全体制御部CUaから制御バスCBを介して各演算器への制御信号f0～f3および条件判定コードCDCが与えられる。全体制御部CUaから与えられた条件判定コードCDCは、フラグを出力する演算器を指定する。条件判定コードCDCは比較判定器CPに入力され、セレクタS61を介して入力されたフラグが所望のフラグか否かを比較する。比較判定器CPは、選択された演算器のフラグと全体制御部からの条件判定コードCDCが一致する場合に“1”を出し、一致しない場合は“0”をセレクタS62を介してPE活性化信号レジスタPARに出力する。PE活性化信号レジスタPARは、全体制御部CUaから出力されるリセット信号rstによりセレクタS62が強制的に“1”にリセットされるまで、その値を保持する。

【0115】PE活性化信号レジスタPARに格納されたデータは、全体制御部CUaからPE演算制御部POCbに与えられる各演算器に対する制御信号f0～f3との論理積がAND回路G1～G4によりとられ、その結果が各演算器の制御信号cALU、cMPY、cBMU、cAUとなる。したがって、条件判定コードCDCが与えられて、判定結果が“1”的場合には、全体制御部CUaからの各演算器への制御信号f0～f3はそのまま各演算器に与えられ、各演算器は制御信号に応じて所定の演算を実行する。一方、判定結果が“0”的場合には、全体制御部CUaから与えられる命令にマスクがかけられて、各演算器～nopに相当する制御信号が送出される。したがって全体制御部CUaによってPE活性化信号レジスタPARに格納されたデータが“1”にリセットされるまで演算器は動作しない。

【0116】以上の構成により、第7の実施例のSIMDプロセッサにおいては、各演算器が演算結果に対するフラグflagALU、flagMPY、flagBMU、flagAUを生成してPE演算制御部POCbへ出力する。さらに、PE演算制御部POCbでは、全体制御部CUaからの条件判定コードCDCに応じて演算器のフラグを比較判定し、以降の命令に対するマスク信号を生成する。この結果、同じ制御信号で並列動作している複数のプロセシングエレメントを各演算器の演算結果に応じて選択的に動作させることが可能となる。したがって、第7の実施例のSIMDプロセッサでは、より多様な処理を実行することが可能となる。

【0117】次に、本発明の第8の実施例のSIMDプロセッサについて説明する。図14は、本発明の第8の

実施例のS IMDプロセッサの構成を示すブロック図である。図14に示すS IMDプロセッサと、図13に示すS IMDプロセッサとで異なる点は、全体制御部CUb内部に図11に示すデコード部DUで生成したバイブ選延信号p1～p3と同様のバイブ選延信号p1～p3を出力するバイブライン演算制御部PLCが具備され、さらに、PE演算制御部POCc内部にバイブラインレジスタPLRが付加された点である。その他の点は図13に示すS IMDプロセッサと同様であるので同一部分には同一符号を付し、以下その説明を省略する。

【0118】PE活性化信号レジスタPARとAND回路G1～G4との間に、バイブラインレジスタPLRが挿入される。PE演算制御部POCcは、バイブラインレジスタPLRにより、PE活性化信号レジスタPARから出力されるデータをバイブ選延信号p1～p3に応じてバイブ選延させる。さらにAND回路G1～G4により、バイブ選延させたデータと、全体制御部CUbから出力される制御信号p0～p3との間に論理積をとつて、各演算器～制御信号cALU、cMPY、cBMU、cAUをそれぞれ出力する。また、バイブライン演算制御部PLCは、図11に示すよる各命令のバイブラインレジスタを具備し、複合命令に対応して各命令は、バイブラインディレイがかけられ、すべてのプロセシングエレメントPEh0～PEh4へ出力される。

【0119】次に、図14に示すバイブラインレジスタについてさらに詳細に説明する。図15は、図14に示すバイブラインレジスタの構成を示すブロック図である。

【0120】図14を参照して、バイブラインレジスタPLRは、レジスタR51～R60、セレクタS81～S89を含む。

【0121】バイブラインレジスタPLRは、図11に示すPE演算制御部の制御信号のシフトレジスタ部分と類似した構成をとるが、レジスタR51～R60のビット幅は1ビットであり、挿入される信号はすべて同じ条件判定結果を格納したPE活性化信号レジスタPARから出力されるPE活性化信号enablePEである。PE活性化信号enablePEの挿入方法は、図11に示すPE演算制御部における制御信号の挿入方法と全く同様である。

【0122】次に、図15に示すバイブラインレジスタの動作についてさらに詳細に説明する。図16は、任意の1つのプロセシングエレメントのバイブラインレジスタの動作を説明するための図である。

【0123】図16を参照して、時刻t3まで、subra命令を全体制御部CUbがデコードし、バイブライン演算制御部PLC内の演算器への制御信号バイブラインレジスタで各演算器への制御信号が選延せられながら、各プロセシングエレメントPEh0～PEh4へ与えられる。時刻t4において、いずれかの演算器のフラグを

判定する命令が与えられ、判定結果が全体制御部CUbからの条件判定コードCDCと一致せず、PE活性化信号レジスタPARには“0”が格納されたものとする。【0124】条件判定結果が得られるまで、バイブラインレジスタPLRには、常に演算器を動作させるべくすべてのレジスタに“1”が格納されている。条件判定命令実行時には、バイブラインレジスタPLRには、すべての演算器に対してnopが挿入される。

【0125】条件判定命令の次の命令にmac命令(積と演算命令)が続くものとすると、バイブ選延信号は、subra命令よりもそれぞれ1つ選延値が少なく、p1 = “01”、p2 = “010”、p3 = “0100”となる。したがって、バイブラインレジスタPLRでは、直前の命令すなわち条件判定命令であるバイブラインレジスタの最終段に挿入されたnopが次段に伝達されることなく、mac命令に必要とされるmPY、ars、add命令に相当する制御信号がバイブ選延値に従って挿入される。同様に、バイブラインレジスタPLRにおいても、バイブラインレジスタの最終段に挿入された“1”が次段に伝達されることなく、条件判定結果である“0”がバイブ選延p1～p3に従って挿入される。

【0126】時刻t5のmac命令に対するPE制御信号enablePEのバイブへの挿入時においては、条件判定を実行する以前のsubra命令に対するビット演算器および累算器に対する制御信号enableBMU、enableAU = “1”が残っている。この制御信号は、バイブ選延して出力され、PE活性化信号enablePEは既に“0”となっているが、条件判定を実行する以前のsubra命令は最後まで実行される。そして、時刻t5のmac命令以降は、バイブラインレジスタPLRには“0”が挿入される。

【0127】上記の説明では、条件判定結果が“0”である場合のプロセシングエレメントについて説明したが、他のプロセシングエレメントでは条件判定結果が“1”的ものも存在し得る。その場合、そのプロセシングエレメントでは、バイブラインレジスタPLRに“1”が挿入され、それ以前のすべての命令を実行する。

【0128】次に、時刻t8において、PE活性化信号レジスタPARに“1”をセットする命令が与えられているものとする。すべてのプロセシングエレメントにおいてPE活性化信号レジスタPARは“1”となり、それ以降の命令はすべてのプロセシングエレメントで実行されるべく、バイブラインレジスタPLRには“1”が挿入される。図16では、時刻t9以降に続くsubra命令に対しては、時刻t0からt3で行なわれた処理と同様の処理により、バイブラインレジスタPLRとPE活性化信号レジスタPARとで挿入が行なわれ、subra命令を順次実行していく。

【0129】以上の処理により、第8の実施例における SIMDプロセッサにおいては、全体制御部CUbからのパイプ延長p1～p3に応じて、PE活性化信号enablePEを各演算器ごとのパイプラインレジスタPLRに挿入し、PE演算制御部POCcから出力される制御信号cALU、cMPY、cBMU、cAUも、全体制御部CUbから出力される制御信号FO～F3と同じパイプラインを持って、各演算器に与えられる前に演算器活性化信号となる制御信号enableALU、enableMPY、enableBMU、enableAUと制御信号FO～F3とのそれぞれの論理積をとる構成となっている。したがって、条件判定を行なってプロセシングエレメントを選択的に活性化する場合に、それ以前の複合命令が完全に終了するのを待って条件判定命令を発行する必要がなく、また命令列にnopを挿入する必要もない。したがって、命令記述が容易となり、任意の位置で条件判定命令を記述することができ、命令ステップ数が削減されるとともに処理の高速化を実現することができる。また、1つの全体制御部CUbでパイプライン処理を行なっているので、各プロセシングエレメントPEh0～PEhnの回路規模を削減することが可能となる。

【0130】次に、本発明の第9の実施例のSIMDプロセッサについて説明する。図17は、本発明の第9の実施例のSIMDプロセッサの構成を示すブロック図である。

【0131】図17を参照して、SIMDプロセッサは、全体制御部CUa、制御バスCB、グローバルバスGB(GP0～GPn)、プロセシングエレメントPEa0～PEan、リンク処理部LOUaを含む。リンク処理部LOUaは、シーケンス部SEQ、インタフェース部IFA、セレクタS91、S92、レジスタR71、算術論理演算器AL1、ローカルメモリLMLを含む。図17に示すSIMDプロセッサと図1に示すSIMDプロセッサと異なる点は、リンク処理部LOUaが付加された点である。その他の点は図1に示すSIMDプロセッサと同様であるので同一部分には同一符号を付し以下その説明を省略する。

【0132】リンク処理部LOUaはすべてのグローバルバスGP0～GPnおよび制御バスCBと接続される。リンク処理部LOUaは、全体制御部CUaからの制御信号に従ってリンク処理部内の処理シーケンスを管理するシーケンス部SEQ、グローバルバスGBとのインターフェース部IFA、加算、最大値/最小値演算を実行する算術論理演算器AL1、算術論理演算器AL2の出力を格納するレジスタR71およびローカルメモリLML、セレクタS91、S92を含む。

【0133】各プロセシングエレメントPEa0～PEanからグローバルバスGBに输出されたデータの総和をとるように、全体制御部CUaから制御バスCBを介

してシーケンス部SEQに制御信号が与えられると、シーケンス制御部SEQは、以下に示す動作を実行するようリンク処理部内の各要素に対して制御信号を生成する。

【0134】まず、インターフェース部IFAは、同時に出力されたすべてのプロセシングエレメントからの出力データをグローバルバスGP0～GPnを介して同時にリンク処理部LOUaに取り込む。次に、グローバルバスGP0～GPnまでのデータが順にセレクタS91を介して算術論理演算器ALaに与えられ、算術論理演算器ALaはレジスタR71を用いて順次入力されるデータの累積を行なう。

【0135】また、全プロセシングエレメントの出力から最大値/最小値を抽出する場合には、累積と同様にしてすべてのプロセシングエレメントの出力をリンク処理部LOUaに取り込み、取り込んだデータが算術論理演算器ALaに順次与えられる。レジスタR71に常に最大値/最小値が格納され、格納した最大値/最小値を次に与えられる入力との比較データとすることにより、すべてのプロセシングエレメントの出力の最大値/最小値を抽出することができる。

【0136】さらに、最大値/最小値の機能を用いて、プロセシングエレメントの出力の降順/昇順ソーティングを実行することができる。図18は、すべてのプロセシングエレメントの出力のうち大きい方から上位3つのデータを抽出するソーティング処理を説明するための図である。

【0137】上位3個のデータは、ローカルメモリLMLに格納され、そのアドレス="0"に最大値を、アドレス="1"に2番目に大きい値を、アドレス="2"に3番目に大きい値をそれぞれ格納し、上位3位以内に入らなかったデータは廃棄する。ソーティングを開始する前には、ローカルメモリLMLの各アドレスには、ソートするデータのとり得る最小値を格納しておく。

【0138】まず、すべてのプロセシングエレメントの出力が、リンク処理部LOUaに取り込まれると、グローバルバスGP0とローカルメモリLMLのアドレス="0"に格納された値により最大値演算が行なわれ、大きい値をローカルメモリLMLのアドレス="0"に書き込み、小さい方をレジスタR71に格納する。次に、ローカルメモリLMLのアドレス="1"のデータと、レジスタR71に格納されている前回の最大値演算出算で小さかった方の値との間で、最大値換出算を前回と同様にして行なう。このとき、大きい方の値をローカルメモリLMLのアドレス="1"に書き込み、小さい方の値をレジスタR71に格納する。ローカルメモリLMLのアドレス="2"のデータに対しても同様に、レジスタR71のデータとの間で最大値換出算を行なう。

【0139】上記の処理により、1つのプロセシングエレメントの出力に対して、ローカルメモリLMLに格納

されている上位3個のデータとの間で、最大値検出演算とデータの交換を3回行なう。上記処理をグローバルバスGPNからGPnまで繰返すことにより、n+1個のプロセシングエレメントの出力のうち大きい方から上位3位までのデータを抽出することができる。また、このプロセシングエレメントの出力に統いて次のプロセシングエレメントの出力に対しても同様の操作を行なうことにより、2(n+1)個のデータの上位3位までのデータを抽出することができる。

【0140】また、上記に説明した最大値検出演算を最小値検出演算に変更することにより、プロセシングエレメントの出力の小さい方から順にソートすることも可能である。

【0141】以上の動作により、第9の実施例におけるSIMDプロセッサにおいては、グローバルバスに接続されるリンク処理部LOUaを有し、リンク処理部LOUaiは、算出、最大値・最小値検出が可能な算術論理演算器ALaおよびローカルメモリMLを具备する。したがって、プロセシングエレメントの出力の累算やソーティングをプロセシングエレメント間でのデータ交換を行なうことなく、演算することができるので、並列化による処理の高速化と並列プロセシングエレメントのデータの統合機能がさらに高まる。

【0142】次に、本発明の第10の実施例のSIMDプロセッサについて説明する。図19は、本発明の第10の実施例のSIMDプロセッサの構成を示すブロック図である。図19に示すSIMDプロセッサと図17に示すSIMDプロセッサと異なる点は、インターフェース部IIFaが複数出力のインターフェース部IFbに変更された点であり、その他の点は同様であるので同一部分には同一番号を付し以下その説明を省略する。

【0143】インターフェース部IFbの出力は4つの出力out0～out3であり、リンク処理部LOUbから出力される。各出力out0～out3のデータのビット幅は16ビットである。

【0144】次に、インターフェース部IFbについてさらに詳細に説明する。図20は、図19に示すインターフェース部の構成を示すブロック図である。

【0145】図20を参照して、インターフェース部IFbは、レジスタR81～R88、セレクタS101～S110を含む。インターフェース部IFbは、すべてのプロセシングエレメントの出力データに対する演算を行なうため、8個の16ビットのレジスタR1～R88によりすべてのプロセシングエレメントの出力を取り込む。取り込まれた出力は8入力セレクタS110およびセレクタS01を介して算術論理演算器ALAに渡される。リンク処理部LOUb内の演算結果aluOUTは、2入力セレクタS109を介して出力out0として出力される。

【0146】プロセシングエレメント間でのデータの演

算が必要ない場合、各データを上位および下位の8ビットに分割して、4つの出力部に接続された4入力セレクタS101～S108を介して出力する。4入力セレクタS101～S108へのデータの入力方法は、図20に示すとおりである。たとえば、GP7<15:8>は、グローバルバスGP7の上位8ビットのデータを示し、GP7<7:0>は、グローバルバスGP7の下位8ビットのデータを示している。

【0147】第1の出力方法として、プロセシングエレメントPEa0～PEa3のデータを出力させる場合は、すべての4入力セレクタS101～S108において4入力データの最下段を選択する。したがって、プロセシングエレメントPEa0の出力は出力out0として、プロセシングエレメントPEa1の出力は出力out1として、プロセシングエレメントPEa2の出力は出力out2として、プロセシングエレメントPEa3の出力は出力out3として出力される。

【0148】第2の出力方法として、プロセシングエレメントPEa4～PEa7のデータを出力させる場合、すべての4入力セレクタS101～S108において4入力データの下から2番目のデータを選択する。プロセシングエレメントPEa4の出力は出力out0として、プロセシングエレメントPEa5の出力は出力out1として、プロセシングエレメントPEa6の出力は出力out2として、プロセシングエレメントPEa7の出力は出力out3として、それぞれ出力される。

【0149】第3の出力方法として、すべてのプロセシングエレメントの出力データの下位8ビットを出力させる場合、すべての4入力セレクタS101～S108において4入力データの下から3番目のデータを選択する。プロセシングエレメントPEa0の下位8ビットは出力out0の下位8ビットに、プロセシングエレメントPEa1の下位8ビットは出力out0の上位8ビットに、プロセシングエレメントPEa2の下位8ビットは出力out1の下位8ビットに、プロセシングエレメントPEa3の下位8ビットは出力out1の上位8ビットに、プロセシングエレメントPEa4～PEa7も同様にして出力out2およびout3として出力される。

【0150】第4の出力方法として、全プロセシングエレメントの出力データの上位8ビットを出力させる場合、すべての4入力セレクタS101～S108において4入力データの最上段のデータを選択する。プロセシングエレメントPEa0の上位8ビットは出力out0の下位8ビットに、プロセシングエレメントPEa1の上位8ビットは出力out0の上位8ビットに、プロセシングエレメントPEa2の上位8ビットは出力out1の下位8ビットに、プロセシングエレメントPEa3の上位8ビットは出力out1の上位8ビットに出力され、以降プロセシングエレメントPEa4～PEa7も同様にして出力out2およびout3として出力される。

同様に出力out2およびout3として出力される。

【0151】以上の動作により、第10の実施例における8並列プロセシングエレメントを備えるSIMDプロセッサにおいては、プロセシングエレメントの出力をリンク処理部LOUbを介して出力し、リンク処理部LOUbの出力を4出力として各プロセシングエレメントの出力を上位および下位に分割して選択的に出力することができる。したがって、様々な出力モードでプロセシングエレメントの出力を外部に出力することができ、かつ、8並列の出力に対して少ない外部出力本数で出力可能となる。

【0152】次に、本発明の第11の実施例のSIMDプロセッサについて説明する。図21は、本発明の第11の実施例のSIMDプロセッサの構成を示すブロック図である。図21に示すSIMDプロセッサは図17に示すSIMDプロセッサの構成に加え、さらに、セレクタS93～S96、レジスタR72、R73、ローカルメモリLMLb、インクリメンタADUを含む。その他の部分は図17に示すSIMDプロセッサと同様であるので同一部分には同一符号を付し以下その説明を省略する。

【0153】インクリメンタADUは、インタフェース部IFaから算術論理演算器ALbにソーティング演算を行なうためにデータを与えられることにその値を1つ増加させて、ローカルメモリLMLbとのデータ交換に備えて次段のセレクタS93に与える。上記の動作により、インタフェース部IFaを介して入力されるプロセシングエレメントの出力に固有のコードを割り当てることができる。ローカルメモリLMLbに対するアドレッシングおよび第1段の2つの2入力セレクタS93およびS94に対する制御は、算術論理演算器ALbに接続されたローカルメモリLMLbおよびセレクタS91およびS92に対するものと同様である。

【0154】第2段の2つの2入力セレクタS93およびS94は、算術論理演算器ALbの演算結果による制御を受けて、算術論理演算器ALbにおけるデータの交換と同様にデータの交換を行なう。したがって、2入力セレクタS93およびS94に接続されたレジスタR72およびローカルメモリLMLbは、プロセシングエレメントの出力データの交換に並行して、各データに付加された固有のコードを格納している。この結果、並列プロセシングエレメントPEa～PEa nからリンク処理部LOUcに入力されたデータのソーティングによって抽出された上位または下位数個のデータがどのプロセシングエレメントの出力であったかを容易に特定することができる。また、リンク処理部LOUcへのデータの入力を絞り返しても、抽出されたデータがどのプロセシングエレメントの何番目の出力かを特定することができる。

【0155】以上の構成により、第11の実施例における

SIMDプロセッサにおいては、リンク処理部LOUcにおいて、プロセシングエレメントの出力のソーティングを行なう場合に、各プロセシングエレメントの出力に対してコードを割り当ててソーティングを行なうことが可能となる。したがって、ベクトルマッチング処理のようにデータにコードを割り当てて識別が必要な処理に対して、プロセシングエレメント自体がコードを生成する必要がなく、プロセシングエレメントの回路規模を削減することができる。また、プロセシングエレメントにおける演算と並行してコード付けとソーティングが実行されるので、処理がより高速化される。

【0156】上記第1～第11実施例の各構成は任意に組合せることができ、その場合は各実施例で説明した効果と同様の効果を得ることができる。

【0157】

【発明の効果】請求項1～請求項3記載のSIMDプロセッサにおいては、3本のローカルバスおよび複合演算用バスにそれぞれデータを転送することができる、プロセシングエレメント間におけるデータ転送の効率を向上させるとともに、高速に種々の演算を実行することができる。

【0158】請求項4および請求項5記載のSIMDプロセッサにおいては、機能の異なる第1ないし第3グローバルバスを具備することにより、プロセシングエレメント間でのデータの転送をフレキシブルにかつ高速に実行することができる。

【0159】請求項6および請求項7記載のSIMDプロセッサにおいては、8つのプロセシングエレメント間が論理的に等間隔で接続されるため、プロセシングエレメント間でのデータの転送を高速にかつ様々なプロセシングエレメントの組合せに対して実行することができる。

【0160】請求項8および請求項9記載のSIMDプロセッサにおいては、内部に具備したローカルメモリを單独および直列に接続して使用することができるので、画像処理に有効なラインメモリとして機能させることができるとともに個々のローカルメモリに独立した外部データを入力することが可能となる。この結果、高速なデータ転送を実現するとともに、並列に動作させることで高速な処理が可能となり、幅広い用途に使用することができる。

【0161】請求項10および請求項11記載のSIMDプロセッサにおいては、個々に独立に制御可能な3つのバンクメモリを具備しているので、同時に2つのバンクメモリを読み出に、1つのバンクメモリを書き込みに用いることができ、高速な処理が可能となる。

【0162】請求項12および請求項13記載のSIMDプロセッサにおいては、演算手段に対する制御信号を各プロセシングエレメント内部で生成することができる、全体制御手段からの出力はオペレーションコード

のみとなり、制御バスの本数を削減することが可能となる。

【0163】請求項14および請求項15記載のS IMDプロセッサにおいては、各演算器が演算結果に対応したフラグを生成し、全体制御手段からの条件判定コードに応じて演算器のフラグを判定し、演算器に対する制御信号にマスクをかけているので、同じ制御信号で並列動作している複数のプロセシングエレメントを演算結果に応じて選択的に動作させることができると、この結果、より多様な処理を実行することができる。

【0164】請求項16および請求項17記載のS IMDプロセッサにおいては、命令記述が容易になり、任意の位置で条件判定命令を記述できるので、命令ステップ数が削減され、処理を高速化することができる。

【0165】請求項18および請求項19記載のS IMDプロセッサにおいては、プロセシングエレメント間でのデータ転送を行なうことなくプロセシングエレメントの出力の累算やソーティングを行なうことができるのと、各プロセシングエレメントでの処理が高速化され、プロセシングエレメント間のデータの統合機能が高まる。

【0166】請求項20および請求項21記載のS IMDプロセッサにおいては、プロセシングエレメントの出力を上位および下位に分割して選択的に出力することができるので、様々なモードでプロセシングエレメントの出力を外部に出力することができるとともに、8並列の出力に対して少ない外部出力本数で出力可能となる。

【0167】請求項22および請求項23記載のS IMDプロセッサにおいては、リンク処理手段においてソーティングされたデータに対する所定のコードを割付けているので、プロセシングエレメントでコードを生成する必要がなく、回路基板を削減することができる。また、プロセシングエレメントとの演算と並行してコード付けとソーティングが実行されるので処理がより高速化される。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のS IMDプロセッサの構成を示すブロック図である。

【図2】 図1に示すビット演算器の構成を示すブロック図である。

【図3】 本発明の第2の実施例のS IMDプロセッサの主要部の構成を示すブロック図である。

【図4】 本発明の第3の実施例のS IMDプロセッサの主要部の構成を示すブロック図である。

【図5】 図4に示すデータ入出力部の構成を示す図で

ある。

【図6】 グローバルバス入出力制御信号とデータ入出力部の入出力選択との関係を示す図である。

【図7】 本発明の第4の実施例のS IMDプロセッサの主要部の構成を示すブロック図である。

【図8】 フィルタリングにおける局所処理を説明するための図である。

【図9】 本発明の第5の実施例のS IMDプロセッサの主要部の構成を示すブロック図である。

【図10】 本発明の第6の実施例のS IMDプロセッサの主要部の構成を示すブロック図である。

【図11】 図10に示すPE演算制御部の構成を示すブロック図である。

【図12】 図11に示すS IMDプロセッサにおける命令と制御との関係を示す図である。

【図13】 本発明の第7の実施例のS IMDプロセッサの構成を示すブロック図である。

【図14】 本発明の第8の実施例のS IMDプロセッサの構成を示すブロック図である。

【図15】 図14に示すバイアインレジスタの構成を示すブロック図である。

【図16】 図15に示すバイアインレジスタの動作を説明するための図である。

【図17】 本発明の第9の実施例のS IMDプロセッサの構成を示すブロック図である。

【図18】 ソーティング処理を説明するための図である。

【図19】 本発明の第10の実施例のS IMDプロセッサの構成を示すブロック図である。

【図20】 図19に示すインクフェース部の構成を示すブロック図である。

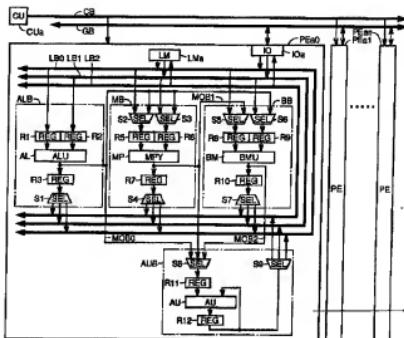
【図21】 本発明の第11の実施例のS IMDプロセッサの構成を示すブロック図である。

【図22】 従来のS IMDプロセッサの構成を示すブロック図である。

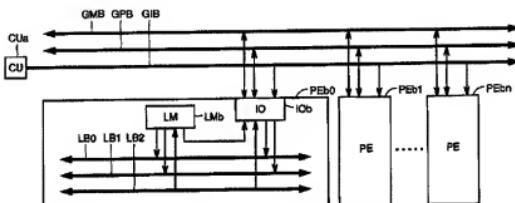
【符号の説明】

CuA 全体制御部、CB 制御バス、GB グローバルバス、PEa0~PEan プロセシングエレメント、LMa ローカルメモリ、IOa データ入出力部、ALB ALUブロック、MB MPYブロック、BB BMUブロック、AUB AUブロック、R1~R12 レジスタ、S1~S9 セレクタ、AL 算術論理演算器、MP 乗算器、BM ビット演算器、AU 累算器、LBO~LB2 ローカルバス、MOBO~MOB2 複合演算用バス。

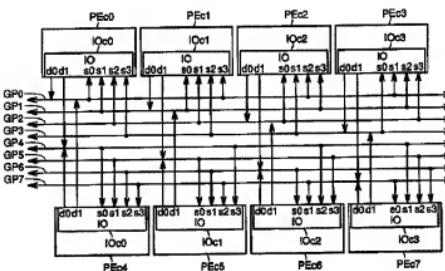
【図1】



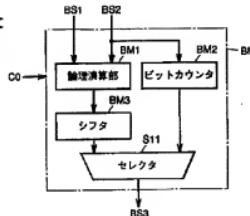
【図3】



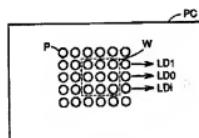
【図4】



【図2】



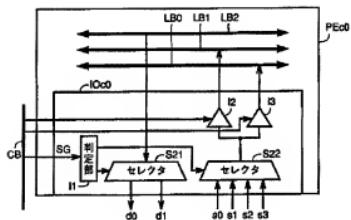
【図8】



【図18】

時刻	演算	max	min
10	max(GP0,LM[0]) - LM[0]	REG	
11	max(REG,LM[1]) - LM[1]	REG	
12	max(REG,LM[2]) - LM[2]	REG	
13	max(GP1,LM[0]) - LM[0]	REG	
14	max(REG,LM[1]) - LM[1]	REG	
15	max(REG,LM[2]) - LM[2]	REG	
...			
(2n)	max(GP1,LM[0]) - LM[0]	REG	
(2n+1)	max(REG,LM[1]) - LM[1]	REG	
(2n+2)	max(REG,LM[2]) - LM[2]	REG	

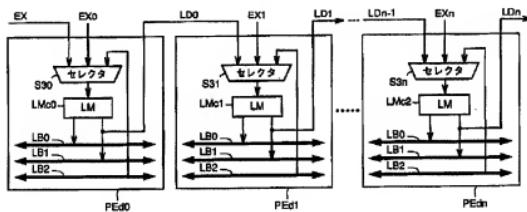
【図5】



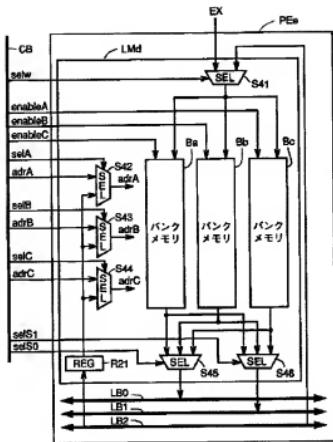
【図6】

セレクタ S22	セレクタ S21	PE (出力/入力)											
		PEd0	PEd1	PEd2	PEd3	PEd4	PEd5	PEd6	PEd7				
000	s0	d0	d0	d0	d0	GP0/GP0	GP1/GP1	GP2/GP2	GP3/GP3	GP4/GP4	GP5/GP5	GP6/GP6	GP7/GP7
001	s1	d1	d1	d1	d1	GP4/GP1	GP1/GP2	GP2/GP3	GP3/GP0	GP0/GP5	GP5/GP6	GP6/GP7	GP7/GP4
010	s2	d1	d1	d0	d0	GP4/GP2	GP5/GP3	GP2/GP0	GP3/GP1	GP0/GP6	GP1/GP7	GP6/G4	GP7/GP5
011	s3	d1	d1	d1	d0	GP4/GP3	GP5/GP0	GP4/GP1	GP3/GP2	GP0/GP7	GP1/GP4	GP2/GP5	GP7/GP6
100	s0	d1	d1	d1	d1	GP4/GP0	GP5/GP1	GP4/GP2	GP7/GP3	GP0/GP4	GP1/GP5	GP2/GP6	GP3/GP7
110	s2	d0	d0	d1	d1	GP0/GP1	GP5/GP2	GP4/GP3	GP7/GP0	GP4/GP5	GP1/GP6	GP2/GP7	GP3/GP4
111	s3	d0	d0	d0	d0	GP0/GP3	GP1/GP0	GP2/GP1	GP7/GP1	GP4/GP6	GP5/GP7	GP2/G4	GP3/GP0

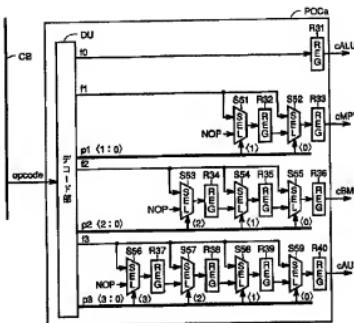
【図7】



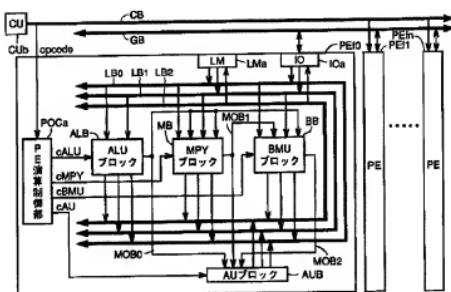
【図9】



【図11】



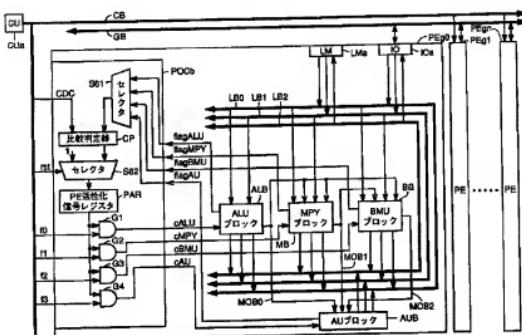
【図10】



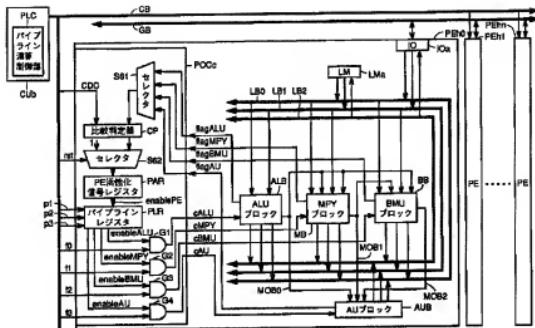
【図12】

ニーモニック	opcode	処理内容	演算ステージ数	t0	t1	p1 <1:0>	t2	p2 <2:0>	t3	p3 <3:0>
add	000000	s0+s1	1	add	nop	10	nop	100	nop	1000
sub	000001	s0-s1	1	sub	nop	10	nop	100	nop	1000
suber	000010	(s0-s1) ²	2	sub	mpy	10	nop	100	nop	1000
subera	000011	$\Sigma (s0-s1)^2$	4	sub	mpy	10	ars	100	add	1000
inc	000100	s0+1	1	inc	nop	10	nop	100	nop	1000
dec	000101	s0-1	1	dec	nop	10	nop	100	nop	1000
ab	000110	s0	1	ab	nop	10	nop	100	nop	1000
subab	000111	s0-s1	1	subab	nop	10	nop	100	add	0010
subeba	001000	$\Sigma s0-s1 $	1	subab	nop	10	nop	100	nop	1000
thru	001001	s0-3d0	1	thru	nop	10	nop	100	nop	1000
not	001010	-s0	1	not	nop	10	nop	100	nop	1000
sacc	001011	s0-6d0	2	thru	nop	10	nop	100	thru	0010
and	001100	s0&s1	1	and	nop	10	nop	100	nop	1000
or	001101	s0 s1	1	or	nop	10	1	nop	100	nop
andbc	001110	s0&s1の1の数	2	and	nop	10	bc	010	nop	1000
anobca	001111	s0&s1 の1の数	3	and	nop	10	bc	010	add	0100
eor	010000	s0^s1	1	eor	nop	10	nop	100	nop	1000
err	010001	(s0^s1)	1	err	nop	10	nop	100	nop	1000
enrcb	010010	(s0^s1)の1の数	2	err	nop	10	bc	010	nop	1000
enrbca	010011	s0^s1 の1の数	3	err	nop	10	bc	010	nop	0100
max	010100	max(s0,s1)	1	max	nop	10	nop	100	nop	1000
min	010101	min(s0,s1)	1	min	nop	10	nop	100	nop	1000
mpy	010110	s0×s1	1	mpy	01	nop	10	nop	100	nop
mpygr	010111	(s0×s1)><(論理シフト下位)	2	mpy	01	ars	010	nop	100	nop
mac	011000	$\Sigma (s0 \times s1) \ll (論理シフト下位)$	3	mpy	01	ars	010	add	0100	
lrs	011001	s0><(論理シフト上位)	1	lrs	nop	10	lrs	001	nop	1000
lls	011010	s0<<(論理シフト上位)	1	lls	nop	10	lls	001	nop	1000
lrand	011011	s0&(s0&1)><(論理シフト上位)	1	lrand	nop	10	lrand	001	nop	1000
lland	011010	(s0&1)<<(論理シフト上位)	1	lland	nop	10	lland	001	nop	1000
lmod	011100	s0&(s0&1)<<(論理シフト上位)	2	mod	nop	10	lmod	001	add	0010
lmoda	011110	s0&s1 <<(論理シフト上位)	2	mod	nop	10	lmod	001	add	0010
lror	011111	(s0&1)><(論理シフト上位)	1	lror	nop	10	lror	001	nop	1000
lfor	100000	(s0&1)<<(論理シフト上位)	1	lfor	nop	10	lfor	001	nop	1000
bc	100001	80の1の数	1	bc	nop	10	bc	001	nop	1000
ars	100010	s0><(論理シフト上位)	1	ars	nop	10	ars	001	nop	1000
als	100011	s0<<(論理シフト上位)	1	als	nop	10	als	001	nop	1000
ara	100100	$\Sigma (s0 \gg (論理シフト上位))$	2	ara	nop	10	ars	001	add	0010

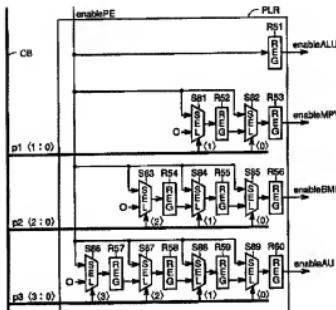
【図13】



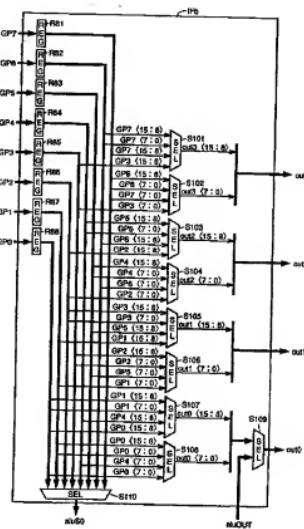
【図14】



【图15】



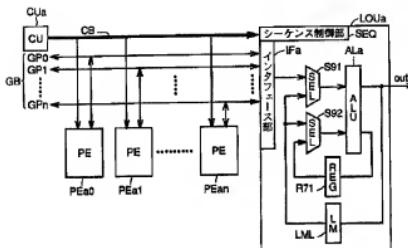
【図20】



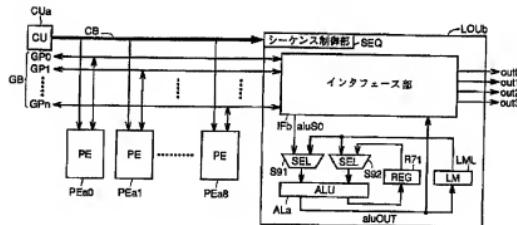
【図16】

時間	10	11	12	13	14	15	16	17	18	19	t10	t11	t12	t13	t14
命令															
subra	subra	subra	subra	subra	set	mac	mac	mac	set	subra	subra	subra	subra	subra	subra
enablePE	1	1	1	1	0	0	0	0	0						
p1	10	10	10	10	10	01	01	01	10	10	10	10	10	10	10
p2	100	100	100	100	100	010	010	010	100	100	100	100	100	100	100
p3	1000	1000	1000	1000	1000	0100	0100	0100	1000	1000	1000	1000	1000	1000	1000
t0	sub	sub	sub	sub	nop	mac	mac	nop	sub	sub	sub	sub	sub	sub	sub
enableALU	1								0	0	1	1	1	1	1
cAU	sub	sub	sub	sub	nop	nop	nop	nop	nop	sub	sub	sub	sub	sub	sub
t1	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr
enableMPY	1	1	1	1	0	0	0	0	0	0	1	1	1	1	1
cMPY	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr	mpr
t2	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars	ars
enableBMU	1	1	1	1	0	0	0	0	0	0	1	1	1	1	1
cBMU	ars	ars	ars	ars	nop	nop	nop	nop	nop	ars	ars	ars	ars	ars	ars
t3	add	add	add	add	add	add	add	add	add	nop	nop	nop	nop	nop	nop
enableAU	1	1	1	1	0	0	0	0	0	0	0	1	1	1	1
cAU	add	add	add	add	nop	nop	nop	nop	nop	add	add	add	add	add	add

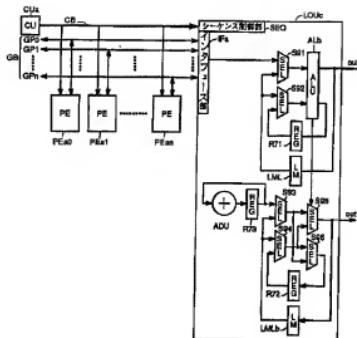
【図17】



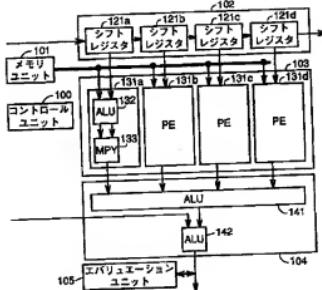
【図19】



【図21】



【図22】



フロントページの続き

(72)発明者 ロバート・ストライテンベルガー
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社システムエル・エス・アイ開発研
 究所内